

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-261091

(43)Date of publication of application : 13.09.2002

(51)Int.CI.

H01L 21/316  
 H01L 21/318  
 H01L 21/76  
 H01L 27/00  
 H01L 21/8234  
 H01L 27/088  
 H01L 21/8247  
 H01L 27/115  
 H01L 29/78  
 H01L 29/788  
 H01L 29/792  
 H01L 29/786  
 H01L 21/336

(21)Application number : 2001-094245

(71)Applicant : OMI TADAHIRO

(22)Date of filing : 28.03.2001

(72)Inventor : OMI TADAHIRO  
 SUGAWA SHIGETOSHI  
 HIRAYAMA MASAKI  
 SHIRAI YASUYUKI

(30)Priority

Priority number : 2000402834

Priority date : 28.12.2000

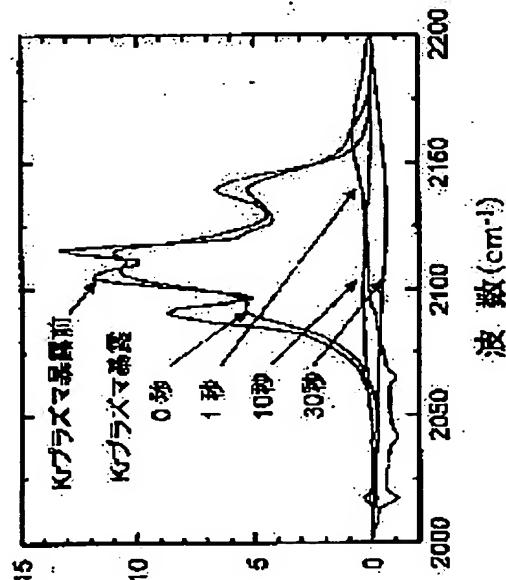
Priority country : JP

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURING METHOD

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a method for forming a silicon oxide film, a silicon nitride film, a silicon oxynitriding film and a high dielectric constant oxide film, which do not depend on a silicon plane direction, are uniform and high quality, and are excellent in electrical properties, on a silicon surface at about 500° or lower.

**SOLUTION:** In a film formation method of a semiconductor device including a plurality of silicon-based transistors or capacitors, hydrogen exists in at least a part of the silicon surface previously. After the hydrogen is removed by exposing the silicon surface to plasma by a first inert gas, plasma by a second inert gas and a mixture gas of one or a plurality of kinds of gaseous molecules is produced. As a result, a silicon compound layer containing at least a part of elements constituting the gaseous molecules is formed in a surface of the silicon base.



(日本語)

### LEGAL STATUS

[Date of request for examination]  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-261091

(P2002-261091A)

(43)公開日 平成14年9月13日 (2002.9.13)

(51)Int.Cl.  
H 01 L 21/316  
21/318  
21/76  
27/00 301  
21/8234

識別記号

F I  
H 01 L 21/316  
21/318  
27/00  
21/76  
27/08

テマコード(参考)  
A 5 F 0 3 2  
A 5 F 0 4 8  
3 0 1 P 5 F 0 5 8  
L 5 F 0 8 3  
1 0 2 C 5 F 1 0 1

審査請求 未請求 請求項の数32 OL (全25頁) 最終頁に続く

(21)出願番号 特願2001-94245(P2001-94245)  
(22)出願日 平成13年3月28日 (2001.3.28)  
(31)優先権主張番号 特願2000-402834(P2000-402834)  
(32)優先日 平成12年12月28日 (2000.12.28)  
(33)優先権主張国 日本 (JP)

(71)出願人 大見 忠弘  
宮城県仙台市青葉区米ヶ袋2-1-17-  
301  
(72)発明者 大見 忠弘  
宮城県仙台市青葉区米ヶ袋2-1-17-  
301  
(72)発明者 須川 成利  
宮城県仙台市青葉区荒巻字青葉(無番地)  
東北大學内  
(74)代理人 100070150  
弁理士 伊東 忠彦

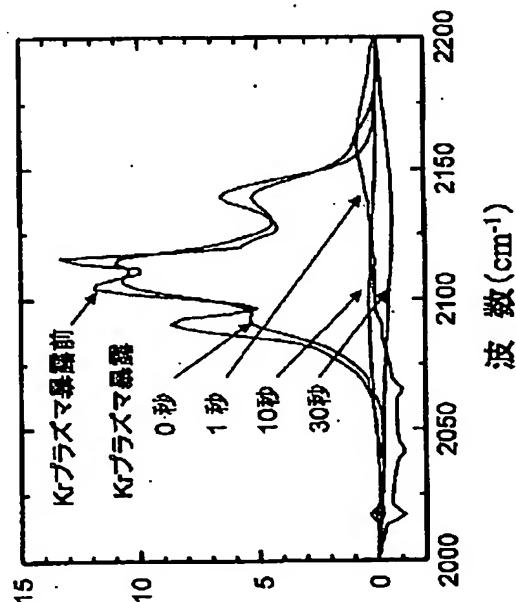
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】 シリコン表面に、シリコン面方位に依存しない均一で高品質な電気的特性に優れたシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、高誘電率酸化膜を約500°C程度以下の低温で形成する方法を提供する。

【解決手段】 シリコンを基体とするトランジスタないしは容量を複数個含む半導体装置の成膜方法において、前記シリコンの表面には予め少なくとも一部に水素が存在し、前記シリコン表面を第1の不活性ガスによるプラズマに曝して前記水素を除去してから、第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによるプラズマを発生させて、前記シリコン気体の表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する。



(吸収率(母量))

## 【特許請求の範囲】

【請求項1】 シリコン表面に形成されたシリコン化合物層を含む半導体装置であって、前記シリコン化合物層は、少なくとも所定の不活性ガスを含み、水素含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下であることを特徴とする半導体装置。

【請求項2】 シリコン表面上に第1のシリコン化合物層を介して形成された多結晶シリコン膜を有するトランジスタと、多結晶シリコン表面上に形成された第2のシリコン化合物層を含むキャパシタと、共通基板上に備えた半導体メモリ装置であって、

前記第1および第2のシリコン化合物層の各々は少なくとも所定の不活性ガスを含み、水素含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下であることを特徴とする半導体装置。

【請求項3】 基板上に形成された多結晶シリコン層又はアモルファシリコン層を活性層とする半導体装置であって、

前記シリコン層の表面には、少なくとも所定の不活性ガスを含み、水素含有量が面密度換算で $10^{11}/\text{cm}^2$ 以下のシリコン化合物層が形成され、

前記半導体装置は、前記基板上に形成された表示素子を駆動することを特徴とする半導体装置。

【請求項4】 前記不活性ガスは、アルゴン(Ar)、クリプトン(Kr)、キセノン(Xe)のうちの少なくとも1種であることを特徴とする請求項1～3のいずれか1項に記載の半導体装置。

【請求項5】 シリコン表面上への半導体装置の製造方法であって、前記シリコン表面を第1の不活性ガスによる第1のプラズマに曝して、前記シリコン表面上の少なくとも一部にあらかじめ存在している水素を除去する工程と、第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第2のプラズマを形成し、前記第2のプラズマの下で前記シリコン表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項6】 前記水素除去工程に先立って、前記シリコン表面を、水素を含む媒体で処理する工程を含むことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記媒体は、水素添加水であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項8】 前記媒体は、希フッ酸であることを特徴とする請求項6記載の半導体装置の製造方法。

【請求項9】 前記シリコン表面は、単結晶シリコン表面であることを特徴とする請求項5～8のうち、いずれか一項記載の半導体装置の製造方法。

【請求項10】 前記シリコン表面は、(100)面によりなることを特徴とする請求項9記載の半導体装置の製

造方法。

【請求項11】 前記シリコン表面は、(111)面よりもなることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項12】 前記シリコン表面は、複数の異なる結晶面を有することを特徴とする請求項9記載の半導体装置の製造方法。

【請求項13】 前記複数の異なる結晶面は、素子分離溝を画成することを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記シリコン表面は、多結晶シリコン表面であることを特徴とする請求項5～8のうち、いずれか一項記載の半導体装置の製造方法。

【請求項15】 前記シリコン表面は、アモルファシリコン表面であることを特徴とする請求項5～8のうち、いずれか一項記載の半導体装置の製造方法。

【請求項16】 前記第1の不活性ガス及び前記第2の不活性ガスは、いずれもアルゴン(Ar)ガス、クリプトン(Kr)ガスおよびキセノン(Xe)ガスよりなる群より選択される少なくとも1種のガスであることを特徴とする請求項5～15のうち、いずれか一項記載の半導体装置の製造方法。

【請求項17】 前記第1の不活性ガスと前記第2の不活性ガスとは同一であることを特徴とする請求項16記載の半導体装置の製造方法。

【請求項18】 前記第2の不活性ガスはクリプトン(Kr)ガスよりなり、前記気体分子は酸素(O<sub>2</sub>)分子よりなり、前記シリコン化合物層としてシリコン酸化膜が形成されることを特徴とする請求項5～17のうち、いずれか一項記載の半導体装置の製造方法。

【請求項19】 前記第2の不活性ガスはアルゴン(Ar)ガス、又はクリプトン(Kr)ガス、又はアルゴンとクリプトンの混合ガスであり、前記気体分子はアンモニア(NH<sub>3</sub>)分子、または窒素(N<sub>2</sub>)分子と水素(H<sub>2</sub>)分子よりなり、前記シリコン化合物層としてシリコン窒化膜が形成されることを特徴とする請求項5～17のうち、いずれか一項記載の半導体装置の製造方法。

【請求項20】 前記第2の不活性ガスはアルゴン(Ar)ガス、又はクリプトン(Kr)ガス、又はアルゴンとクリプトンの混合ガスであり、前記気体分子は酸素(O<sub>2</sub>)分子とアンモニア(NH<sub>3</sub>)分子、または酸素(O<sub>2</sub>)分子と窒素(N<sub>2</sub>)分子と水素(H<sub>2</sub>)分子よりなり、前記シリコン化合物層としてシリコン酸窒化膜が形成されることを特徴とする請求項5～17のうち、いずれか1項に記載の半導体装置の製造方法。

【請求項21】 前記第1のプラズマおよび前記第2のプラズマは、マイクロ波により励起されることを特徴とする請求項5～20のうち、いずれか一項記載の半導体装置の製造方法。

【請求項22】 シリコン表面上に第1の絶縁膜を介し

て形成された多結晶シリコン膜を有するトランジスタと、多結晶シリコン表面上に形成された第2の絶縁膜を含むキャバシタとを共通基板上に備えた半導体メモリ装置の製造方法であって、

前記シリコン表面を第1の不活性ガスによる第1のプラズマに曝して前記シリコン表面の少なくとも一部に予め存在する水素を除去する工程と、

第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第2のプラズマを形成し、前記第2のプラズマの下で、前記シリコン表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を、前記第1の絶縁膜として形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項23】さらに、前記多結晶シリコン表面を第3の不活性ガスによる第3のプラズマに曝して前記シリコン表面の少なくとも一部に予め存在する水素を除去する工程と、

第4の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第4のプラズマを形成し、前記第4のプラズマの下で、前記多結晶シリコン表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を、前記第2の絶縁膜として形成する工程とを含むことを特徴とする請求項22記載の半導体装置の製造方法。

【請求項24】前記第1および第3の不活性ガスは、Ar, KrおよびXeよりなる群より選ばれる少なくとも1種のガスよりなることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】前記第2および第4の不活性ガスはKrよりなり、前記第1および第2の絶縁膜はシリコン酸化膜よりなることを特徴とする請求項23または24記載の半導体装置の製造方法。

【請求項26】前記第2および第4の不活性ガスはArまたはKrよりなり、前記第1および第2の絶縁膜は窒化膜または酸窒化膜よりなることを特徴とする請求項23または24記載の半導体装置の製造方法。

【請求項27】前記第1および第2のプラズマは、マイクロ波により励起されることを特徴とする請求項22～26のうち、いずれか一項記載の半導体装置の製造方法。

【請求項28】基板上への多結晶シリコン層又はアモルファスシリコン層を活性層とする半導体装置の製造方法であって、

前記基板上に、多結晶シリコン層またはアモルファスシリコン層よりなるシリコン層を形成する工程と、

前記シリコン層表面を第1の不活性ガスによるプラズマに曝して、前記シリコン層表面の少なくとも一部に存在する水素を除去する工程と、

第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによるプラズマを発生させて、前記シリコン

層表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項29】前記第1の不活性ガスは、Ar, KrおよびXeよりなる群より選ばれる少なくとも1種のガスよりなることを特徴とする請求項28記載の半導体装置の製造方法。

【請求項30】前記第2の不活性ガスはKrよりなり、前記シリコン化合物層はシリコン酸化膜よりなることを特徴とする請求項28または29記載の半導体装置の製造方法。

【請求項31】前記第2の不活性ガスはArまたはKrよりなり、前記シリコン化合物層は窒化膜または酸窒化膜よりなることを特徴とする請求項28または29記載の半導体装置の製造方法。

【請求項32】前記第1および第2のプラズマは、マイクロ波により励起されることを特徴とする請求項28～31のうち、いずれか一項記載の半導体装置の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】本発明は、シリコン半導体上に酸化膜、窒化膜、酸窒化膜等が形成された半導体装置及びその形成方法に関する。

##### 【0002】

【従来の技術】MIS（金属／絶縁膜／シリコン）トランジスタのゲート絶縁膜には、低リーク電流特性、低界面準位密度、高耐圧性、高ホットキャリア耐性、均一なしきい値電圧特性など、様々な高性能電気特性および高信頼性特性が要求される。

【0003】これらの要求を満たすゲート絶縁膜形成技術として、従来は、酸素分子や水分子を使用した約80°C程度以上の熱酸化技術が用いられてきた。

【0004】熱酸化工程は、従来、その前工程として有機物、金属、パーティクルなどの表面付着汚染物を洗浄工程によって除去を施してから行われる。こうした従来の洗浄工程では、その後に希フッ酸や水素添加水等を用いた洗浄を行い、シリコン表面のシリコン未結合手を水素で終端して、シリコン表面への自然酸化膜形成を抑制し、清浄な表面を有するシリコン基板を、次に続く熱酸化工程へと導入している。熱酸化工程では、この表面終端水素はアルゴン（Ar）などの不活性ガス雰囲気でシリコン基板を昇温していく過程で約600°C程度以上の温度で脱離する。シリコン表面の酸化は、その後約800°C以上で酸素分子ないしは水分子を導入した雰囲気で行われていた。

【0005】従来、このような熱酸化技術を使用してシリコン表面にシリコン酸化膜を形成した場合、良好な酸化膜／シリコン界面特性、酸化膜の耐圧特性、リーク電流特性などが得られるのは、表面が（100）面方位に

配向したシリコンを用いた時に限られていた。また、従来の熱酸化技術で作成されたシリコン酸化膜ではその膜厚を約2nm程度以下にすると著しいリーク電流の悪化が起り、ゲート絶縁膜の薄膜化を要求する高性能微細トランジスタの実現が阻害されていた。

【0006】また、(100)面以外の他の面方位に配向した結晶シリコンや、絶縁膜上において主として(111)面に配向する多結晶シリコン等では、熱酸化技術を使用してシリコン酸化膜を形成しても、(100)面方位に配向したシリコンのシリコン酸化膜に比べて酸化膜／シリコン界面の界面準位密度が著しく高く、このため膜厚が薄いシリコン酸化膜では耐圧特性、リーク電流特性などの電気的特性が劣悪であり、使用する場合にシリコン酸化膜の膜厚を増大させる必要があった。

【0007】一方、近年においては半導体装置の生産性の効率を向上させるために大口径のシリコンウェーハ基板の使用、あるいは大面积のガラス基板の使用が進んでいる。こうした大型基板の全面で均一な特性のトランジスタを高いスループットで生産するためには、昇温降温の温度変化幅の少ない低温での、しかも温度依存性の少ない絶縁膜形成工程が求められる。従来の熱酸化工程では酸化反応速度の温度ゆらぎに対する変化が大きく、大面积基板を使って高いスループットで半導体装置の生産性を行うことは困難であった。

【0008】こうした、従来の熱酸化工程における課題を解決しようとして、数多くの低温成膜プロセスが試みられている。なかでも、特開平11-279773公報記載の技術や、テクニカル・ダイジェスト・オブ・インターナショナル・エレクトロン・デバイセズ・ミーティング、1999 (Technical Digest of International Electron Devices Meeting 1999)、p.p. 249-252記載の技術、あるいは2000シンポジウム・オン・ハイエルエスアイ・テクノロジ・ダイジェスト・オブ・テクニカル・ペーパーズ (2000 Symposium on VLSI Technology Digest of Technical Papers)、p.p. 76-177に記載の技術では、プラズマ中に不活性ガスと酸素気体分子を導入して、大きな準安定準位を有する不活性ガスに酸素分子の原子状化を効率的に行わせることで、原子状酸素によるシリコン表面の酸化を行い比較的良好な電気特性を得ている。

【0009】これらの技術においては、不活性ガスのクリプトン(Kr)と酸素(O<sub>2</sub>)混合ガスにマイクロ波を照射し、KrとO<sub>2</sub>混合プラズマを発生させ原子状酸素O\*を大量に生成して400°C程度の温度でシリコンの酸化を行い、従来の熱酸化に匹敵する低リーク電流特性、低界面準位密度、高耐圧性を実現している。また、この酸化技術によれば(100)面以外の他の面方位を有すシリコン表面にも高品質な酸化膜が得られる。

【010】

【発明が解決しようとする課題】しかしながら、こうし

た従来のマイクロ波励起プラズマによるシリコン酸化膜形成技術では、原子状酸素O\*を使用した酸化を行っているにもかかわらず、従来の酸素分子あるいは水分子を使用した熱酸化工程と同等程度の電気的特性を有するシリコン酸化膜しか得られていない。特にシリコン基板表面において約2nm程度以下の酸化膜厚を有するシリコン酸化膜では良好な低いリーク電流特性を得ることが出来ず、ゲート絶縁膜のさらなる薄膜化を要求する高性能微細トランジスタの実現は、従来の熱酸化膜技術と同様に困難であった。

【0011】また、トランジスタの酸化膜へのホットキャリア注入の影響によるコンダクタンスの劣化や、フラッシュメモリなど、シリコン酸化膜中に電子をトンネル伝導させる素子において、リーク電流の増加など電気特性の経時的劣化が、シリコン酸化膜を従来の熱工程により形成した場合よりも顕著に起こってしまうという課題を有していた。

【0012】そこで本発明は、以上述べた課題を解決した新規で有用な半導体装置およびその製造方法を提供することを概括的課題とする。

【0013】本発明のより具体的な課題は、従来の熱酸化技術に代わる低温プラズマ酸化技術を提供することにある。

【0014】本発明の他の課題は、あらゆる面方位のシリコン面に適用可能な、低温での高品質絶縁膜形成技術を提供することにある。

【0015】また本発明は、かかる低温での高品質絶縁膜形成技術を使った、信頼性の高い高品質な微細半導体装置、特にトランジスタ集積回路装置やフラッシュメモリ装置、更にはトランジスタや各種機能素子を複数備えた3次元集積回路装置、およびその製造方法を提供することを課題とする。

【0016】

【課題を解決するための手段】本発明は上記の課題を、請求項1に記載したように、シリコン表面に形成されたシリコン化合物層を含む半導体装置であって、前記シリコン化合物層は、少なくとも所定の不活性ガスを含み、水素含有量が面密度換算で10<sup>11</sup>/cm<sup>2</sup>以下であることを特徴とする半導体装置により、または請求項2に記載したように、シリコン表面上に第1のシリコン化合物層を介して形成された多結晶シリコン膜を有するトランジスタと、多結晶シリコン表面上に形成された第2のシリコン化合物層を含むキャパシタと、共通基板上に備えた半導体メモリ装置であって、前記第1および第2のシリコン化合物層の各々は少なくとも所定の不活性ガスを含み、水素含有量が面密度換算で10<sup>11</sup>/cm<sup>2</sup>以下であることを特徴とする半導体装置により、または請求項3に記載したように、基板上に形成された多結晶シリコン層又はアモルファスシリコン層を活性層とする半導体装置であって、前記シリコン層の表面には、少なくと

も所定の不活性ガスを含み、水素含有量が面密度換算で  $1011/\text{cm}^2$  以下のシリコン化合物層が形成され、前記半導体装置は、前記基板上に形成された表示素子を駆動することを特徴とする半導体装置により、または請求項 4 に記載したように、前記不活性ガスは、アルゴン (Ar)、クリプトン (Kr)、キセノン (Xe) のうちの少なくとも 1 種であることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体装置により、または請求項 5 に記載したように、シリコン表面上への半導体装置の製造方法であって、前記シリコン表面を第 1 の不活性ガスによる第 1 のプラズマに曝して、前記シリコン表面上の少なくとも一部にあらかじめ存在している水素を除去する工程と、第 2 の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第 2 のプラズマを形成し、前記第 2 のプラズマの下で前記シリコン表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項 6 に記載したように、前記水素除去工程に先立って、前記シリコン表面を、水素を含む媒体で処理する工程を含むことを特徴とする請求項 5 記載の半導体装置の製造方法により、または請求項 7 に記載したように、前記媒体は、水素添加水であることを特徴とする請求項 6 記載の半導体装置の製造方法により、または請求項 8 に記載したように、前記媒体は、希フッ酸であることを特徴とする請求項 6 記載の半導体装置の製造方法により、または請求項 9 に記載したように、前記シリコン表面は、単結晶シリコン表面であることを特徴とする請求項 5 ~ 8 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 10 に記載したように、前記シリコン表面は、(100) 面よりなることを特徴とする請求項 9 記載の半導体装置の製造方法により、または請求項 11 に記載したように、前記シリコン表面は、(111) 面よりなることを特徴とする請求項 9 記載の半導体装置の製造方法により、または請求項 12 に記載したように、前記シリコン表面は、複数の異なった結晶面を有することを特徴とする請求項 9 記載の半導体装置の製造方法により、または請求項 13 に記載したように、前記複数の異なった結晶面は、素子分離溝を画成することを特徴とする請求項 12 記載の半導体装置の製造方法により、または請求項 14 に記載したように、前記シリコン表面は、多結晶シリコン表面であることを特徴とする請求項 5 ~ 8 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 15 に記載したように、前記シリコン表面は、アモルファスシリコン表面であることを特徴とする請求項 5 ~ 8 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 16 に記載したように、前記第 1 の不活性ガス及び前記第 2 の不活性ガスは、いずれもアルゴン (Ar) ガス、クリプトン (Kr) ガスおよびキセノン (Xe) ガスよりなる群より選択される

少なくとも 1 種のガスであることを特徴とする請求項 5 ~ 15 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 17 に記載したように、前記第 1 の不活性ガスと前記第 2 の不活性ガスとは同一であることを特徴とする請求項 16 記載の半導体装置の製造方法により、または請求項 18 に記載したように、前記第 2 の不活性ガスはクリプトン (Kr) ガスよりも、前記気体分子は酸素 (O<sub>2</sub>) 分子よりも、前記シリコン化合物層としてシリコン酸化膜が形成されることを特徴とする請求項 5 ~ 17 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 19 に記載したように、前記第 2 の不活性ガスはアルゴン (Ar) ガス、又はクリプトン (Kr) ガス、又はアルゴンとクリプトンの混合ガスであり、前記気体分子はアンモニア (NH<sub>3</sub>) 分子、または窒素 (N<sub>2</sub>) 分子と水素 (H<sub>2</sub>) 分子よりも、前記シリコン化合物層としてシリコン窒化膜が形成されることを特徴とする請求項 5 ~ 17 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 20 に記載したように、前記第 2 の不活性ガスはアルゴン (Ar) ガス、又はクリプトン (Kr) ガス、又はアルゴンとクリプトンの混合ガスであり、前記気体分子は酸素 (O<sub>2</sub>) 分子とアンモニア (NH<sub>3</sub>) 分子、または酸素 (O<sub>2</sub>) 分子と窒素 (N<sub>2</sub>) 分子と水素 (H<sub>2</sub>) 分子よりも、前記シリコン化合物層としてシリコン酸窒化膜が形成されることを特徴とする請求項 5 ~ 17 のうち、いずれか 1 項に記載の半導体装置の製造方法により、または請求項 21 に記載したように、前記第 1 のプラズマおよび前記第 2 のプラズマは、マイクロ波により励起されることを特徴とする請求項 5 ~ 20 のうち、いずれか一項記載の半導体装置の製造方法により、または請求項 22 に記載したように、シリコン表面上に第 1 の絶縁膜を介して形成された多結晶シリコン膜を有するトランジスタと、多結晶シリコン表面上に形成された第 2 の絶縁膜を含むキャパシタとを共通基板上に備えた半導体メモリ装置の製造方法であって、前記シリコン表面を第 1 の不活性ガスによる第 1 のプラズマに曝して前記シリコン表面の少なくとも一部に予め存在する水素を除去する工程と、第 2 の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第 2 のプラズマを形成し、前記第 2 のプラズマの下で、前記シリコン表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を、前記第 1 の絶縁膜として形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項 23 に記載したように、さらに、前記多結晶シリコン表面を第 3 の不活性ガスによる第 3 のプラズマに曝して前記シリコン表面の少なくとも一部に予め存在する水素を除去する工程と、第 4 の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによる第 4 のプラズマを形成し、前記第 4 のプラズマの下で、前記多結晶シリコン表面に前記気体分子を構

成する元素の少なくとも一部を含むシリコン化合物層を、前記第2の絶縁膜として形成する工程とを含むことを特徴とする請求項22記載の半導体装置の製造方法により、または請求項24に記載したように、前記第1および第3の不活性ガスは、Ar、KrおよびXeよりなる群より選ばれる少なくとも1種のガスよりなることを特徴とする請求項23記載の半導体装置の製造方法により、または請求項25に記載したように、前記第2および第4の不活性ガスはKrよりなり、前記第1および第2の絶縁膜はシリコン酸化膜よりなることを特徴とする請求項23または24記載の半導体装置の製造方法により、または請求項26に記載したように、前記第2および第4の不活性ガスはArまたはKrよりなり、前記第1および第2の絶縁膜は窒化膜または酸窒化膜よりなることを特徴とする請求項23または24記載の半導体装置の製造方法により、または請求項27に記載したように、前記第1および第2のプラズマは、マイクロ波により励起されることを特徴とする請求項22～26のうち、いずれか一項記載の半導体装置の製造方法により、または請求項28に記載したように、基板上への多結晶シリコン層又はアモルファスシリコン層を活性層とする半導体装置の製造方法であって、前記基板上に、多結晶シリコン層またはアモルファスシリコン層よりなるシリコン層を形成する工程と、前記シリコン層表面を第1の不活性ガスによるプラズマに曝して、前記シリコン層表面の少なくとも一部に存在する水素を除去する工程と、第2の不活性ガスと一種類ないしは複数種類の気体分子の混合ガスによるプラズマを発生させて、前記シリコン層表面に前記気体分子を構成する元素の少なくとも一部を含むシリコン化合物層を形成する工程とを含むことを特徴とする半導体装置の製造方法により、または請求項29に記載したように、前記第1の不活性ガスは、Ar、KrおよびXeよりなる群より選ばれる少なくとも1種のガスよりなることを特徴とする請求項28記載の半導体装置の製造方法により、または請求項30に記載したように、前記第2の不活性ガスはKrよりなり、前記シリコン化合物層はシリコン酸化膜よりなることを特徴とする請求項28または29記載の半導体装置の製造方法により、または請求項31に記載したように、前記第2の不活性ガスはArまたはKrよりなり、前記シリコン化合物層は窒化膜または酸窒化膜よりなることを特徴とする請求項28または29記載の半導体装置の製造方法により、または請求項32に記載したように、前記第1および第2のプラズマは、マイクロ波により励起されることを特徴とする請求項28～31のうち、いずれか一項記載の半導体装置の製造方法により、解決する。

【作用】本発明者らは、従来の熱酸化工程において、熱酸化工程の前処理工程として希フッ酸や水素添加水等を用いた洗浄を行い、シリコン表面のシリコン未結合手を

水素で終端することによりシリコン表面の自然酸化を抑制した場合に、Ar、Krなどの不活性ガス雰囲気中においてシリコン基体を昇温する過程における前記表面終端水素の離脱に伴ってシリコン表面に平坦性の劣化が生じることを見出した。かかるシリコン表面の平坦性の劣化は、それに続く熱酸化工程を経た後でも残り、シリコン／シリコン酸化膜界面における平坦性の劣化を生じるものと考えられる。かかるシリコン／シリコン酸化膜界面における平坦性の劣化は、リーク電流の増加やしきい値電圧の不均一性の原因の一つになっていたと考えられる。

【0017】ところで従来のマイクロ波励起プラズマによるシリコン酸化膜形成工程では、熱酸化工程の場合と同様に、前処理工程において希フッ酸や水素添加水等の洗浄でシリコン表面を終端し、シリコン表面の自然酸化を抑制してからプラズマ酸化処理を行っている。しかしこのことは、マイクロ波プラズマ酸化工程ではシリコンの酸化は約400°C程度の低温で行われているので、シリコン表面を終端している水素は脱離せず表面に残ったままで酸化工程が行われていたことを意味する。すなわち本発明の発明者は、従来のマイクロ波プラズマ酸化工程では、シリコン酸化膜中に大量に水素が残留し、これがリーク電流の増加やホットキャリア耐性の悪化の原因になっていたという知見を得た。

【0018】本発明による絶縁膜形成前の表面終端水素除去方法によれば、プラズマ処理されるシリコン表面を、前記シリコン表面への第2のプラズマによる酸化膜や窒化膜あるいは酸窒化膜などのシリコン化合物層形成工程に先立って、第1のプラズマにより処理することにより、表面の平坦性を悪化させることなく、400°C程度以下の低温で表面終端水素を完全に除去することが可能になる。特に、ラジアル・ライン・スロット・アンテナを使用したマイクロ波プラズマ装置(WO98/33362号公報参照)は大面積にわたり均一で時間的に揺らがない低電子温度の高密度なプラズマを発生させることができ、その結果、表面イオン照射エネルギーを低く抑えることができ、シリコン表面に損傷を与えることなく、表面終端水素を除去し、引き続き酸化、窒化あるいは酸窒化を行うことができる。

【0019】シリコン表面の損傷は不活性ガスの質量が重いほど少くなり、ヘリウム(He)、ネオン(Ne)、アルゴン(Argon)、クリプトン(Kr)、キセノン(Xe)の順に減少する。例えばArを使用したプラズマの場合、前記マイクロ波励起プラズマ装置を使用すればイオン照射エネルギーは、マイクロ波パワーが約1.2W/cm<sup>2</sup>で、圧力が約13.3Pa(100mTorr)以上の場合、約7eV以下にできる。

【0020】イオン照射エネルギーが7eV以下であれば、基板表面がシリコンであっても、またさらに損傷に弱いシリコン酸化膜であっても、表面に損傷が入ること

はない。よりイオン照射エネルギーを低くしたいときには不活性ガスとしてプラズマ電子温度がArよりも低いKrやXeを選択することが好ましい。

【0021】前記表面終端水素を除去するための不活性ガスは、生産的な効率をあげる観点から、終端水素除去工程の次に続く工程で使われるガスを選択することが好ましい。例えば、プラズマ中で原子状酸素を大量に発生させシリコン表面の酸化を行う場合には、表面終端水素除去をKrプラズマで行い、原子状窒素やNHラジカルを発生させて窒化を行う場合には、表面終端水素の除去をArプラズマまたはKrプラズマを用いて行うのが好ましい。

【0022】本発明によれば、従来の熱酸化工程やマイクロ波プラズマ工程で成膜したシリコン酸化膜より優れた特性、信頼性を有するシリコン酸化膜を約400°C程度の低温で形成することが可能となり、シリコン酸化膜の膜厚をより薄くした高性能微細トランジスタ集積回路を実現できる。本発明の誘電体膜の形成方法によれば、表面終端水素除去を行うのに従来のように800°Cのような高温は必要なく、550°C以下の低温で十分であり、表面終端水素除去を含め、誘電体膜の形成の全工程を低温で行うことが可能になる。誘電体膜の形成を550°C以下の低温でできるので、膜中のダンギングボンドを終端している水素を脱離させることなく、酸素欠損を回復させることができる。これは、窒化膜あるいは酸窒化膜の形成においても同じである。

【0023】また、本発明によれば、優れた特性、信頼性を有するシリコン窒化膜あるいはシリコン酸窒化膜を、約500°C以下の低温で、あらゆる面方位のシリコン表面（多結晶シリコンを含む）上に形成することができる。また、高誘電率ゲート絶縁膜をもった高性能なトランジスタ集積回路を実現できる。

【0024】また、本発明によれば、シャロートレンチアイソレーションなどの素子分離構造の角部分や凹凸のある表面形状をもつシリコン表面にも、リーク電流や耐圧などの特性が良好な薄い高品質なシリコン酸化膜や、シリコン窒化膜、シリコン酸窒化膜等を形成することができる。素子分離幅を狭くした大きな集積密度を有する半導体集積回路や、立体的構造を持つ高密度な半導体集積回路の実現が可能となる。

【0025】本発明による絶縁膜は、フラッシュメモリ素子などに使用される高品質高信頼性ゲート絶縁膜や多結晶シリコン層間絶縁膜にも適応される。

【0026】さらに本発明によれば、絶縁膜上に形成された、主として<111>方向に優先配向する結晶粒により構成される多結晶シリコン表面上にも、高品質なシリコン酸化膜やシリコン窒化膜、シリコン酸窒化膜をゲート絶縁膜として形成することができる。大きな駆動能力を有する多結晶シリコントランジスタを実現することが可能になる。かかる多結晶シリコントランジスタを

使って、液晶表示装置を含む様々な表示装置が実現でき、さらにはトランジスタや機能素子を複数積層した3次元集積回路素子を実現することもできる。

#### 【0027】

【発明の実施の形態】以下、本発明を適用した好適な諸実施形態について、図面を参照しながら詳細に説明する。

（第1の実施形態）初めに、プラズマを用いた低温での酸化膜形成について説明する。

【0028】図1は、本発明で使われるラジアルラインスロットアンテナを用いたプラズマ処理装置の一例を示す断面図である。

【0029】本実施形態においては、シリコン表面の未結合手を終端している水素を除去するのに、次の酸化膜形成工程でプラズマ励起ガスとして使われるKrを使用し、同一処理室内で連続して表面終端水素除去処理と酸化処理とを行う。

【0030】まず、真空容器（処理室）101内を真空中にし、次にシャワープレート102から最初にArガスを導入し、それをKrガスに切替える。さらに、前記処理室101内の圧力を133Pa(1Torr)程度に設定する。

【0031】次にシリコン基板103を、加熱機構を持つ試料台104に置き、試料の温度を400°C程度に設定する。前記シリコン基板103の温度が200-550°Cの範囲内であれば、以下に述べる結果はほとんど同様のものとなる。前記シリコン基板103は、直前の前処理工程において希フッ酸洗浄が施され、その結果表面のシリコン未結合手が水素で終端されている。

【0032】次に同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から処理室101の壁面の一部に設けられた誘電体板107を通して、前記処理室101内に導入する。導入されたマイクロ波は前記シャワープレート102から前記処理室101内に導入されたKrガスを励起し、その結果前記シャワープレート102の直下に高密度のKrプラズマが形成される。供給するマイクロ波の周波数が900MHz程度以上約10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど同様のものとなる。

【0033】図1の構成においてシャワープレート102と基板103の間隔は、本実施形態では6cmに設定する。この間隔は狭いほうがより高速な成膜が可能となる。本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してプラズマを励起してもよい。

【0034】前記シリコン基板103をKrガスで励起されたプラズマに曝すことにより、前記シリコン基板1

O<sub>3</sub>の表面は低エネルギーのKrイオン照射を受け、その表面終端水素が除去される。

【0035】図2は前記シリコン基板103表面におけるシリコン-水素結合を赤外分光器により分析した結果であり、前記処理室101中にマイクロ波を133Pa(1Torr)の圧力下、1.2W/cm<sup>2</sup>のパワーで導入することで励起したKrプラズマによる、シリコン表面終端水素の除去効果を示す。

【0036】図2を参照するに、わずか1秒程度のKrプラズマ照射でシリコン-水素結合に特徴的な波数2100cm<sup>-1</sup>付近の光吸収がほとんど消滅し、約30秒の照射ではほぼ完全に消滅するのがわかる。すなわち、約30秒のKrプラズマ照射により、シリコン表面を終端していた水素が除去できることがわかる。本実施形態では、1分間のKrプラズマ照射を施して、表面終端水素を完全に除去する。

【0037】次に、前記シャワープレート102から97/3の分圧比のKr/O<sub>2</sub>混合ガスを導入する。この際、処理室内の圧力は133Pa(1Torr)程度に維持しておく。KrガスとO<sub>2</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*を効率よく大量に発生できる。

【0038】本実施例では、この原子状酸素O\*により前記シリコン基板103の表面を酸化する。従来のシリコン表面の熱酸化法では、O<sub>2</sub>分子やH<sub>2</sub>O分子により酸化が行われ、800°C以上の極めて高い処理温度が必要であったが、本発明の原子状酸素による酸化処理では、400°C程度の非常に低い温度で酸化が可能である。Kr\*とO<sub>2</sub>の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生したO\*同志が衝突し、O<sub>2</sub>分子に戻ってしまう。当然、最適ガス圧力が存在する。

【0039】図3に、処理室内のKr/O<sub>2</sub>の圧力比を97/3に保持しつつ、前記処理室101内のガス圧力を変化させた場合の、形成される酸化膜の厚さと処理室内圧力との関係を示す。ただし図3では、シリコン基板103の温度を400°Cに設定し、10分間の酸化処理を行っている。

【0040】図3を参照するに、前記処理室101内の圧力が約133Pa(1Torr)の時に最も酸化速度は速くなり、この圧力ないしはその近傍の圧力条件が最適であることがわかる。この最適圧力は、前記シリコン基板103の面方位が(100)面である場合に限らず、どの面方位のシリコン表面であっても同じである。

【0041】所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>混合ガスをArガスに置換して酸化工程を終了する。本工程の前後にArガスを使用するのはKrより安価なガスをバージガスに使用する

ためである。本工程に使用されたKrガスは回収再利用する。

【0042】以上の酸化膜形成に統いて、電極形成工程、保護膜形成工程、水素シンタ処理工程等を施してトランジスタやキャパシタを含む半導体集積回路装置を完成させる。

【0043】上記の手順で形成されたシリコン酸化膜中の水素含有量を昇温放出により測定したところ、3nmの膜厚のシリコン酸化膜において面密度換算で1012/cm<sup>2</sup>程度以下であった。特にリーク電流が少ない酸化膜においてはシリコン酸化膜内の水素含有量は、面密度換算で1011/cm<sup>2</sup>程度以下であることが確認された。一方、酸化膜形成前にKrプラズマの暴露を行わなかった酸化膜は面密度換算で1012/cm<sup>2</sup>を超える水素を含んでいた。

【0044】また、上記の手順で形成されたシリコン酸化膜を剥離した後のシリコン表面と酸化膜形成前のシリコン表面の粗さを原子間力顕微鏡で測定して比較したところ、シリコン表面の荒さが変化していないのが確認された。すなわち、終端水素を除去して酸化した後でもシリコン表面が荒れることはない。

【0045】図4は、上記の手順で形成されたシリコン酸化膜中のKr密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べたものである。ただし図4の結果はシリコンの(100)面についてのものであるが、(100)面に限らず他の方位でも同様の結果が得られる。

【0046】図4の実験では、Kr中の酸素の分圧を3%に、また処理室の圧力を133Pa(1Torr)に設定し、プラズマ酸化処理を基板温度400°Cで行っている。

【0047】図4を参照するに、シリコン酸化膜中のKr密度は下地のシリコン表面から遠ざかるにつれて増大し、シリコン酸化膜表面では2×10<sup>11</sup>/cm<sup>2</sup>程度の密度に達する。このことから、上記の手順で得られるシリコン酸化膜は、下地のシリコン表面からの距離が4nm以上の領域において膜中のKr濃度が一定で、一方シリコン表面からの距離が4nm以下の領域においてはシリコン/シリコン酸化膜の界面に向かって減少している膜であることがわかる。

【0048】図5は、上記の手順で得られたシリコン酸化膜について、リーク電流の印加電界依存性を示す。ただし図5の結果は、シリコン酸化膜の膜厚が4.4nmの場合についてのものである。比較のため、図5中には酸化膜形成前にKrプラズマの暴露を行わなかった場合について、同一膜厚の酸化膜のリーク電流特性を示している。

【0049】図5を参照するに、Krプラズマへの暴露を行わなかった場合のシリコン酸化膜のリーク電流特性は、従来の熱酸化膜のリーク電流特性と同等であり、K

$K_r/O_2$ マイクロ波プラズマによる酸化処理を行っても、得られる酸化膜のリーク電流特性を余り改善することができないことがわかる。これに対し、 $K_r$ プラズマ照射により終端水素除去を施してから $K_r/O_2$ ガスを導入して酸化を行う本実施形態の方法により形成されたシリコン酸化膜は、従来のマイクロ波プラズマ酸化により形成されたシリコン酸化膜よりも同一電界におけるリーク電流が2~3桁も減少し、非常に良好な低リーク特性を示していることがわかる。同様のリーク電流特性の改善は、さらに薄い1.7 nm程度までの膜厚のシリコン酸化膜でも実現できることが確認されている。

【0050】図6は、本実施形態によるシリコン酸化膜のリーク電流特性を、前記シリコン酸化膜の膜厚を変化させて測定した結果を示す。ただし図6中、△は従来の熱酸化膜のリーク電流特性を、また○は $K_r$ プラズマへの曝露を省略して $K_r/O_2$ プラズマによる酸化を行った場合のシリコン酸化膜のリーク電流特性を、さらに●は、前記 $K_r$ プラズマへの曝露の後、前記 $K_r/O_2$ プラズマによる酸化を行った本実施例形態によるシリコン酸化膜のリーク電流特性を示す。なお図6中、■で示すデータは、後で説明する酸窒化膜についてのリーク電流特性を示す。

【0051】図6を参照するに、○で示す、 $K_r$ プラズマへの曝露工程を省略してプラズマ酸化工程で形成したシリコン酸化膜のリーク電流特性は、△で示す熱酸化膜のリーク電流特性と一致するのに対し、●で示す、本実施形態によるシリコン酸化膜のリーク電流特性は、○で示すリーク電流特性に対して2~3桁も減少しているのがわかる。また、本実施形態によるシリコン酸化膜では、膜厚が約1.5 nmであっても、厚さが2 nmの熱酸化膜のリーク電流に匹敵する、 $1 \times 10^{-2} A/cm^2$ のリーク電流を実現できることがわかる。

【0052】また、本実施形態により得られたシリコン酸化膜について、シリコン/シリコン酸化膜界面準位密度の面方位依存性を測定してみると、どの面方位のシリコン表面においても、約 $1 \times 10^{10} cm^{-2} eV^{-1}$ の非常に低い界面準位密度が得られることを見出した。

【0053】この他、耐圧特性、ホットキャリア耐性、ストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD (Charge-to-Breakdown)などの電気的特性、信頼性的特性に関して、本実施形態により形成した酸化膜は、従来の熱酸化膜と同等ないしはそれ以上の良好な特性を示す。

【0054】上述したように、表面終端水素を除去してから $K_r/O_2$ 高密度プラズマによりシリコン酸化工程を行うことで、400°Cという低温においても、あらゆる面方位のシリコンに優れたシリコン酸化膜を形成することができる。こうした効果が得られるのは、終端水素除去により酸化膜中の水素含有量が少なくなり、かつ、酸化膜中に $K_r$ が含有されることに起因していると

考えられる。酸化膜中の水素が少ないとシリコン酸化膜内の元素の弱い結合が少くなり、また $K_r$ が含有されることにより、膜中やSi/SiO<sub>2</sub>界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されているためと考えられる。

【0055】特に、表面密度換算において水素濃度を $10^{12}/cm^2$ 以下、望ましくは $10^{11}/cm^2$ 程度以下にすることと、 $5 \times 10^{11}/cm^2$ 以下程度の $K_r$ を含むことが、シリコン酸化膜の電気的特性、信頼性的特性の改善に寄与しているものと考えられる。

【0056】本発明の酸化膜を実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するために $K_r$ ガスを放出する第1のガス放出構造と、酸素ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とを備えた2段シャワープレート型プラズマプロセス装置を使うことも可能である。

【0057】なお、本実施形態では、所望の膜厚のシリコン酸化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらに $K_r/O_2$ 混合ガスをArガスに置換して酸化工程を終えているが、前記マイクロ波パワーを止める前に、圧力を133 Pa (1 Torr)程度に保ったままシャワープレート102から分圧比98/2の $K_r/NH_3$ 混合ガスを導入し、シリコン酸化膜の表面に約0.7 nmのシリコン窒化膜を形成して処理を終えても良い。この方法によれば表面にシリコン窒化膜が形成されたシリコン酸化膜が得られ、より高い比誘電率を有する絶縁膜を形成することが可能になる。

(第2の実施形態) 次に、プラズマを用いた低温での窒化膜形成について述べる。窒化膜形成には図1と同様の装置を用いる。

【0058】本実施形態においては、終端水素除去及び窒化膜形成のためにArまたは $K_r$ をプラズマ励起ガスとして使用することが良質な窒化膜を形成する上で望ましい。

【0059】以下Arを使用した際の一例を示す。

【0060】まず、真空容器(処理室)101内を真空中に排気し、次にシャワープレート102からArガスを導入して処理室内の圧力を13.3 Pa (100 mTorr)程度に設定する。

【0061】次に、直前の前処理工程において水素添加水洗浄により表面のシリコン未結合手が水素で終端されたシリコン基板103を処理室101中に導入し、加熱機構を持つ試料台104に載置する。さらに試料の温度を500°Cに設定する。この温度が300~550°Cの範囲内であるならば、以下に述べる結果とはほとんど変わらない。

【0062】次に、同軸導波管105から、ラジアルラインスロットアンテナ106および誘電体板107を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のArプラズマを生成する。供給するマイクロ波の周波数が900MHz程度以上10GHz程度以下の範囲にあれば、以下に述べる結果はほとんど変わらない。シャワープレート102と基板103の間隔は、本実施形態では6cmに設定している。この間隔は狭いほうがより高速な成膜が可能となる。なお本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示しているが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

【0063】このようにArガスで励起されたプラズマに曝されたシリコン表面は低エネルギーのArイオン照射を受け、その表面終端水素が除去される。本実施形態では1分間のArプラズマ曝露を施す。

【0064】次に、シャワープレート102からArガスに分圧比で2%のNH<sub>3</sub>ガスを混合して導入する。この際、処理室の圧力は13.3Pa(100mTorr)程度に保つ。ArガスとNH<sub>3</sub>ガスが混合された高密度励起プラズマ中では、中間励起状態にあるAr\*とNH<sub>3</sub>分子が衝突し、NH\*ラジカルが効率よく発生する。このNH\*ラジカルがシリコン基板表面を窒化する。

【0065】次に、所望の膜厚のシリコン窒化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにAr/NH<sub>3</sub>混合ガスをArガスに置換して窒化工程を終了する。

【0066】以上の窒化膜形成に続いて、電極形成、保護膜形成、水素シンク処理等を行い、トランジスタやキャパシタなどを含む半導体集積装置を完成させる。

【0067】本実施形態では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて窒化膜を成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。また本実施形態では、プラズマ励起ガスにArを使用しているが、Krを用いても同様の結果を得ることができる。また、本実施形態では、プラズマプロセスガスにNH<sub>3</sub>を用いているが、N<sub>2</sub>とH<sub>2</sub>などの混合ガスを用いても良い。

【0068】本発明のシリコン窒化膜形成においては、表面終端水素を除去した後においても、プラズマ中に水素が存在することが一つの重要な要件である。プラズマ中に水素が存在することにより、シリコン窒化膜中及び界面のダングリングボンドがSi-H、N-H結合を形成して終端され、その結果シリコン窒化膜及び界面の電子トラップが無くなると考えられる。

【0069】Si-H結合、N-H結合が本発明の窒化膜に存在することは、それぞれ赤外吸収スペクトル、X線光電子分光スペクトルを測定することで確認されてい

る。水素が存在することで、CV特性のヒステリシスも無くなり、シリコン/シリコン窒化膜界面準位密度も2×10<sup>10</sup>cm<sup>-2</sup>と低く抑えられる。希ガス(ArまたはKr)とN<sub>2</sub>/H<sub>2</sub>の混合ガスを使用してシリコン窒化膜を形成する場合には水素ガスの分圧を0.5%以上とすることで、膜中の電子や正孔のトラップを著しく減少させることができる。

【0070】図7は、上述の手順で作成したシリコン窒化膜厚の圧力依存性を示す。ただし図7の実験においてAr/NH<sub>3</sub>の分圧比は98/2に設定されており、成膜時間は30分である。

【0071】図7を参照するに、窒化膜の成長速度は、処理室の圧力を下げる希ガス(ArまたはKr)がNH<sub>3</sub>(またはN<sub>2</sub>/H<sub>2</sub>)に与えるエネルギーを増やした方が速くなることがわかる。窒化膜形成効率の観点からは、ガス圧力は6.65~13.3Pa(50~100mTorr)の範囲が好ましいが、他の実施形態で述べるように、酸化と窒化を連続する工程では酸化に適した圧力、例えば133Pa(1Torr)程度に統一して窒化を行うことも、生産性の観点からは好ましい条件である。また、希ガス中のNH<sub>3</sub>(またはN<sub>2</sub>/H<sub>2</sub>)の分圧は1~10%の範囲が良く、さらに好ましくは2~6%が良い。

【0072】本実施形態により得られたシリコン窒化膜の比誘電率は7.9であったが、この値はシリコン酸化膜の比誘電率の約2倍に相当する。

【0073】本実施形態により得られたシリコン窒化膜の電流電圧特性を測定したところ、膜厚が3.0nm(誘電率換算酸化膜1.5nmに相当)のときに、1Vの電圧印加時において、膜厚が1.5nmの熱酸化膜よりも5~6桁以上も低いリーク電流特性が得られることが見出された。これは、本実施例によるシリコン窒化膜を使うことにより、ゲート絶縁膜にシリコン酸化膜を使用したトランジスタにおいて問題となっている微細化限界を突破できることが可能であることを意味する。

【0074】上述した窒化膜の成膜条件、および物性的、電気的特性は、(100)面方位のシリコン表面上に限定されるものではなく、(111)面を含むあらゆる面方位のシリコンにおいて、同様に成立する。

【0075】本実施形態により得られた好ましい結果は、終端水素が除去したことによる原因ではなく、窒化膜中にArまたはKrが含有されることにも関係すると考えられる。すなわち、本実施例形態による窒化膜では窒化膜中やシリコン/窒化膜界面でのストレスが、窒化膜中に含有されるArあるいはKrにより緩和され、その結果シリコン窒化膜中の固定電荷や界面準位密度が低減され、電気的特性、信頼性的特性が大幅に改善されたものと考えられる。

【0076】特に、シリコン酸化膜の場合と同様に、表面密度において5×10<sup>11</sup>/cm<sup>2</sup>以下のArまたはKr

$r$ を含むことがシリコン窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0077】本発明の窒化膜を実現するためには、図1の装置の他に、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのArまたはKrガスを放出する第1のガス放出構造と、NH<sub>3</sub>（またはN<sub>2</sub>/H<sub>2</sub>ガス）ガスを放出する、前記第1のガス放出構造とは異なる第2のガス放出構造とをもつ2段シャワープレート型プラズマプロセス装置で形成することも可能である。

（第3の実施形態）次に、ゲート絶縁膜にプラズマを用いた低温の酸化膜と窒化膜の2層構造を使用した実施形態を説明する。

【0078】本実施形態で使われる酸化膜および窒化膜の形成装置は図1と同じである。本実施形態においては、酸化膜及び窒化膜形成のためにKrをプラズマ励起ガスとして使用する。

【0079】まず、真空容器（処理室）101内を真空中に排気し、シャワープレート102からArガスを前記処理室101中に導入する。次に導入されるガスを当初のArからKrガスに切り替え、前記処理室101内の圧力を133Pa（1Torrr）程度に設定する。

【0080】次に、直前の前処理工程で希フッ酸洗浄が施され表面のシリコン未結合手が水素で終端されているシリコン基板103を前記処理室101内に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0081】次に前記同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記マイクロ波を前記誘電体板107を介して前記処理室101内に導入する。このようにして前記処理室101内に生成した高密度のKrプラズマに、前記シリコン基板103の表面を曝すことにより、表面終端水素を除去する。

【0082】次に、前記処理室101内の圧力を133Pa（1Torrr）程度に保持したまま、シャワープレート102から97/3の分圧比のKr/O<sub>2</sub>混合ガスを導入し、前記シリコン基板103の表面に厚さが1.5nmのシリコン酸化膜を形成する。

【0083】次に、マイクロ波の供給を一時停止し、O<sub>2</sub>ガスの導入を停止する。さらに真空容器（処理室）101内をKrでバージした後、シャワープレート102から分圧比98/2のKr/NH<sub>3</sub>混合ガスを導入し、処理室内の圧力を133Pa（1Torrr）程度に設定したまま、再び周波数が2.56GHzのマイクロ波を供給し、前記処理室101内に高密度のプラズマを生成して、前記シリコン酸化膜の表面に1nmのシリコン窒化膜を形成する。

【0084】次に、所望の膜厚のシリコン窒化膜が形成

されたところでマイクロ波パワーの導入を停止してプラズマ励起を終了し、さらにKr/NH<sub>3</sub>混合ガスをArガスに置換して酸化窒化工程を終了する。

【0085】以上の酸化窒化膜形成に続いて、電極形成、保護膜形成、水素シントラ処理を施すことにより、トランジスタやキャパシタを有する半導体集積回路装置を完成させる。

【0086】このようにして形成した積層ゲート絶縁膜の実効的な誘電率を測定したところ、約6の値が得られた。その他、リーク電流特性、耐圧特性、ホットキャリア耐性などの電気的特性、信頼性的特性も先の実施形態1の場合と同様に、優れたものであった。得られたゲート絶縁膜にはシリコン基板103の面方位に対する依存性も見られず、（100）面以外のどの面方位のシリコンにも優れた特性のゲート絶縁膜を形成できた。このようにして、酸化膜の低界面準位特性と窒化膜の高誘電率特性を兼ね備えたゲート絶縁膜を実現できた。

【0087】本実施形態では、シリコン側に酸化膜を形成する酸化膜、窒化膜の2層構成を示したが、目的に応じて酸化膜、窒化膜の順序を入れ替えること、また酸化膜／窒化膜／酸化膜、窒化膜／酸化膜／窒化膜などのさらに複数の積層膜を形成することも可能である。

（第4の実施形態）次に、ゲート絶縁膜にプラズマを用いた低温の酸窒化膜を使用した実施形態を説明する。

【0088】本実施形態で使う酸窒化膜形成装置は、図1と同じである。本実施形態においては、Krをプラズマ励起ガスとして使用する。

【0089】まず、真空容器（処理室）101内を真空中に排気し、シャワープレート102から前記処理室101中にArガスを導入する。次に前記処理室101中に導入されるガスをArからKrガスに切り替え、処理室内的圧力を133Pa（1Torrr）程度に設定する。

【0090】さらに直前の前処理工程で希フッ酸洗浄が施され表面のシリコン未結合手が水素で終端されているシリコン基板103を前記処理室101中に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0091】次に、同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記ラジアルラインスロットアンテナ106から誘電体板107を通して処理室101内に前記マイクロ波を導入し、前記処理室101内に高密度のKrプラズマを生成する。このようにしてKrガスで励起されたプラズマに前記シリコン基板103の表面を曝すことにより、その表面終端水素を除去する。

【0092】次に、前記処理室101の圧力を133Pa（1Torrr）程度に維持し、前記シャワープレート102から分圧比96.5/3/0.5のKr/O<sub>2</sub>/NH<sub>3</sub>混合ガスを導入し、シリコン表面に3.5nmの

シリコン酸窒化膜を形成する。所望の膜厚のシリコン酸窒化膜が形成されたところでマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>/NH<sub>3</sub>混合ガスをArガスに置換して酸窒化工程を終える。

【0093】以上の酸化膜形成に続いて、電極形成工程、保護膜形成工程、水素シント処理工程などを施し、トランジスタやキャパシタを含む半導体集積回路装置を完成させる。

【0094】図8に示すように、発光分析により測定した原子状酸素O\*の発生密度はKr/O<sub>2</sub>/NH<sub>3</sub>ガスの混合比が97/3/0~95/3/2の範囲では実質的に変化しないが、それ以上NH<sub>3</sub>の比率を増大させると原子状酸素の発生量が減り、代わりに原子状水素の量が増加する。特にKr/O<sub>2</sub>/NH<sub>3</sub>ガスの混合比が96.5/3/0.5程度の場合にリーク電流が最も減少し、絶縁耐圧、電荷注入耐圧も向上する。

【0095】図9は、2次イオン質量分析器で測定した、本実施の形態による酸窒化膜内のシリコン、酸素、窒素の濃度分布を示す。ただし図9中、横軸は酸窒化膜の表面からの深さを示す。図9中、シリコン、酸素、窒素の分布が膜内でなだらかに変化しているように見えるが、これは酸窒化膜の膜厚が不均一なわけではなく、エッティング均一性が悪いことに起因する。

【0096】図9を参照するに、前記酸窒化膜中における窒素の濃度は、シリコン/シリコン酸窒化膜界面とシリコン酸窒化膜表面において高く、酸窒化膜中央部では減少するのがわかる。この酸窒化膜中に取り込まれた窒素の量はシリコンや酸素の比べて数割以下である。

【0097】図10は本実施形態による酸窒化膜のリーク電流の印加電界依存性を示す。ただし図10中、比較のためにマイクロ波プラズマによる酸化膜形成の前にKrプラズマへの暴露処理を行わなかった同一膜厚の酸化膜のリーク電流特性と、熱酸化により形成された酸化膜のリーク電流特性も示している。

【0098】図10を参照するに、Krプラズマ照射により終端水素除去を施してからKr/O<sub>2</sub>/NH<sub>3</sub>ガスを導入して酸窒化を行った本実施形態による酸窒化膜では、従来の手法で形成された酸化膜より、同一電界で比較したリーク電流の値が2~4桁も減少して、良好な低リーク特性が得られていることがわかる。

【0099】なお、先に説明した図6中には、このようにして形成された酸窒化膜のリーク電流特性と膜厚の関係が、■により示されている。

【0100】図6を再び参照するに、本実施の形態によりKr照射を行った後で形成された酸窒化膜は、同様な工程で形成された酸化膜と同様なリーク電流特性を有し、特に膜厚が約1.6nmの場合においてもリーク電流の値が $1 \times 10^{-2} A/cm^2$ に過ぎないことがわかる。

【0101】本実施形態による酸窒化膜では、その他、

耐圧特性、ホットキャリア耐性などの電気的特性、信頼性的特性も、先の実施形態1の酸化膜以上に優れたものであった。またシリコン基板の面方位に対する依存も見られず、シリコンの(100)面のみならず、どの面方位のシリコン表面上にも、優れた特性のゲート絶縁膜を形成することができる。

【0102】上述したように、表面終端水素を除去してからKr/O<sub>2</sub>/NH<sub>3</sub>高密度プラズマによりシリコン酸窒化工程を行うことで、400°Cという低温においても、あらゆる面方位のシリコン表面上に、優れた特性および膜質のシリコン酸窒化膜を形成することができる。

【0103】本実施の形態においてこのような好ましい効果が得られるのは、終端水素除去により酸窒化膜中の水素含有量が減少していることだけでなく、酸窒化膜中に数割以下の窒素が含有されることにも起因しているものと考えられる。本実施形態の酸窒化膜ではKrの含有量は実施形態1の酸化膜に比べ約1/10以下であり、Krの代わりに窒素が多く含有されている。すなわち本実施の形態では、酸窒化膜中の酸窒化膜中の水素が少ないので、シリコン酸窒化膜において弱い結合の割合が減少し、また窒素が含有されることにより、膜中やSi/SiO<sub>2</sub>界面でのストレスが緩和され、その結果膜中電荷や界面準位の密度が低減し、よって前記酸窒化膜の電気的特性が大幅に改善されていると考えられる。特に前記酸窒化膜中の水素濃度が、表面密度換算において $10^{12} cm^{-2}$ 以下、望ましくは $10^{11} cm^{-2}$ 程度以下に減少していること、および膜中にシリコンあるいは酸素の数割以下濃度の窒素を含むことが、シリコン酸窒化膜の電気的特性、信頼性的特性の改善に寄与していると考えられる。

【0104】なお、本実施形態では、所望の膜厚のシリコン酸窒化膜が形成された時点でマイクロ波パワーの導入を止めプラズマ励起を終了し、さらにKr/O<sub>2</sub>/NH<sub>3</sub>混合ガスをArガスに置換して酸窒化工程を終えているが、このマイクロ波パワーを止める前に、圧力を133Pa(1Torr)程度に保持したまま、前記シャワープレート102から分圧比9.8/2のKr/NH<sub>3</sub>混合ガスを導入し、シリコン酸窒化膜の表面に約0.7nmのシリコン窒化膜を形成してから酸窒化工程を終了してもよい。この方法によればシリコン酸窒化膜の表面にシリコン窒化膜が形成され、より高誘電率な絶縁膜ができる。

(第5の実施形態) 次に、シャロートレンチアイソレーションを構成する素子分離側壁部の角部分や、凹凸を有する表面形状をもつシリコン表面に高品質なシリコン酸化膜を形成した、本発明の第5の実施の形態による半導体装置の形成方法を示す。

【0105】図11(a)はシャロートレンチアイソレーションの概念図を示す。

【0106】図11(a)を参照するに、図示のシャロ

ートレンチアイソレーションはシリコン基板1003表面にプラズマエッチングによりアイソレーショントレンチを形成し、形成されたトレンチをCVD法により形成されたシリコン酸化膜1002により充填し、さらに、前記シリコン酸化膜1002を例えればCMP法などにより平坦化することにより形成される。

【0107】本実施の形態では、CMP法による前記シリコン酸化膜1002の研磨工程の後、シリコン基板を800~900°Cの酸化性の雰囲気に曝すことにより犠牲酸化を行い、犠牲酸化により形成されたシリコン酸化膜をフッ酸を含む薬液中でエッチングし、水素終端されたシリコン表面を得る。本実施形態では、実施形態1と同様の手順で、Krプラズマにより表面終端水素を除去し、その後Kr/O<sub>2</sub>ガスを導入してシリコン酸化膜を約2.5nm形成する。

【0108】本実施の形態によれば、図11(c)に示すように、シャロートレンチアイソレーションの角部においても、シリコン酸化膜は一様な厚さで形成され、シリコン酸化膜の膜厚の減少が生じることはない。このKrプラズマを用いたプラズマ酸化法により形成されたシャロートレンチアイソレーション部分を含めた全体のシリコン酸化膜のQBD(Charge to Breakdown)特性は、非常に良好で、注入電荷量10<sup>2</sup>C/cm<sup>2</sup>でもリーク電流上昇が起きず、デバイスの信頼性が大幅に改善される。

【0109】前記シリコン酸化膜を従来の熱酸化法によって形成した場合には、図11(b)に示すように、シャロートレンチアイソレーションのテーパ角が大きくなるに従って、シャロートレンチアイソレーション角部での薄膜化が激しくなるが、本発明のプラズマ酸化によれば、テーパ角が大きくなつても、シャロートレンチアイソレーション角部でのシリコン酸化膜の薄膜化は起こらない。そこで本実施例ではシャロートレンチアイソレーション構造において、トレンチのテーパ角を直角に近づけることで素子分離領域の面積を減少でき。半導体素子のさらなる集積度向上が可能となる。従来の熱酸化などの技術では、図11(b)に示したトレンチ角部での熱酸化膜の薄膜化に起因する制約により、素子分離部に約70度程度のテーパ角が用いられていたが、本発明によれば、90度の角度を使うことが可能である。

【0110】図12は、シリコン基板を約90度にエッチングした凹凸表面形状を持つシリコン基板に実施形態1の手順に従って3nmの厚さに形成したシリコン酸化膜の断面を示す。

【0111】図12を参照するに、どの面上にも均一な膜厚のシリコン酸化膜が形成できていることが確認できる。

【0112】このようにして形成された酸化膜ではリーク電流や耐圧などの電気的特性は良好であり、従って本発明により縦型構造などの複数の面方位をもつシリコン

立体的構造を持つ高密度な半導体集積化装置を実現することが可能となる。

(第6の実施形態) 次に、上述したプラズマを用いた低温での酸化膜および窒化膜、あるいは酸窒化膜の形成技術を使用した本発明の第6の実施の形態によるフラッシュメモリ素子について説明する。なお以下の説明では、フラッシュメモリ素子を一例として開示するが、本発明は同様の積層構造を有するEEPROM、EEPROM等にも適用可能である。

【0113】図13は、本実施の形態によるフラッシュメモリ素子の概略断面構造図を示す。

【0114】図13を参照するに、前記フラッシュメモリ素子はシリコン基板1201上に形成されており、前記シリコン基板1201上に形成されたトンネル酸化膜1202と、前記トンネル酸化膜1202上に形成されたフローティングゲート電極となる第1の多結晶シリコンゲート電極1203と、前記多結晶シリコンゲート電極1203上に順次形成されたシリコン酸化膜1204およびシリコン窒化膜1205と、前記シリコン窒化膜1205上に形成されコントロールゲート電極を構成する第2の多結晶シリコンゲート電極1206とから構成されている。また図13中、ソース領域、ドレイン領域、コンタクトホール、配線パターンなどの図示は省略して記載している。前記シリコン酸化膜1202は第1の実施形態で説明したシリコン酸化膜形成方法により、また、シリコン酸化膜1204および窒化膜1205の積層構造は、実施形態3で説明したシリコン窒化膜の形成方法により形成する。

【0115】図14~図17は本実施形態のフラッシュメモリ素子の製造方法を段階的に説明するための概略断面図である。

【0116】図14を参照するに、シリコン基板1301上にはフィールド酸化膜1302によりフラッシュメモリセル領域A、高電圧用トランジスタ領域B及び低電圧用トランジスタ領域Cが画成されており、前記領域A~Cの各々において前記シリコン基板301の表面にシリコン酸化膜1303が形成されている。前記フィールド酸化膜1302は選択酸化法(LOCOS法)やシャロートレンチアイソレーション法などで形成すればよい。

【0117】本実施形態においては、表面終端水素除去、酸化膜及び窒化膜形成のためにKrをプラズマ励起ガスとして使用する。酸化膜、窒化膜形成装置は図1と同じである。

【0118】次に図15の工程において、メモリセル領域Aから前記シリコン酸化膜1303を除去し、希フッ酸洗浄によりシリコン表面を水素終端する。さらに先の実施の形態1と同様にして、トンネル酸化膜1304を形成する。

【0119】すなわち、先の実施形態1と同様に、前記

真空容器(処理室)101内を真空中に排気し、前記処理室101中にシャワープレート102からArガスを導入する。次に前記ArガスをKrガスに切替え、処理室101中の圧力を1Torrr程度に設定する。

【0120】次に、前記シリコン酸化膜1303を除去しシリコン表面を希フッ酸処理した前記シリコン基板1301を、図1のシリコン基板103として前記処理室101内に導入し、加熱機構を備えた試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0121】さらに前記同軸導波管105からラジアルラインスロットアンテナ106に周波数が2.45GHzのマイクロ波を1分間供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から前記誘電体板107を通して前記処理室101内に導入する。前記シリコン基板1301の表面を、このようにして前記処理室101中に形成される高密度Krプラズマに曝露することにより、前記基板1301のシリコン表面から終端水素が除去される。

【0122】次に、次に前記シャワープレート102からKrガス、O<sub>2</sub>ガスを導入して前記領域Aに前記トンネル絶縁膜となるシリコン酸化膜1304を、3.5nmの厚さに形成し、続いて第1の多結晶シリコン層1305を、前記シリコン酸化膜1304を覆うように堆積する。

【0123】次に、高電圧用及び低電圧用トランジスタ形成領域B、Cにおいて前記第1の多結晶シリコン層1305パターニングにより除去し、メモリセル領域Aのトンネル酸化膜1304上にのみ、第1の多結晶シリコンパターン1305を残す。

【0124】このエッチング後、洗浄を行い、多結晶シリコンパターン1305の表面は水素終端される。

【0125】次に図16の工程において、先の第3の実施形態と同様にして、下部酸化膜1306A及び上部窒化膜1306BのON構造を有する絶縁膜1306を、前記多結晶シリコンパターン1305の表面を覆うように形成する。

【0126】このON膜は、次のようにして形成する。

【0127】真空容器(処理室)101内を真空中に排気し、シャワープレート102から導入されていたArガスをKrガスに切替えて導入し、処理室内の圧力を133Pa(1Torrr)程度に設定する。次に、前記水素終端された多結晶シリコンパターン1305を有するシリコン基板1301を前記処理室101内に導入し、加熱機構を持つ試料台104に載置する。さらに試料の温度を400°Cに設定する。

【0128】次に、同軸導波管105から周波数が2.45GHzのマイクロ波を前記ラジアルラインスロットアンテナ106に1分間ほど供給し、前記マイクロ波を前記ラジアルラインスロットアンテナ106から前記誘電体板107を介して前記処理室101内に導入し、高

密度のKrプラズマを生成する。その結果、前記多結晶シリコンパターン1305の表面はKrガスに曝露され、表面終端水素が除去される。

【0129】次に前記処理室101内の圧力を133Pa(1Torrr)程度に維持したまま、前記シャワープレート102から前記処理室101内にKr/O<sub>2</sub>混合ガスを導入し、多結晶シリコン表面に3nmのシリコン酸化膜を形成する。

【0130】次に、マイクロ波の供給を一時停止した後、Krガス、O<sub>2</sub>ガスの導入を停止し、真空容器(処理室)101内を排気してから、シャワープレート102からKrガスおよびNH<sub>3</sub>ガスを導入する。前記処理室101内の圧力を13.3Pa(100mTorrr)程度に設定し、再び2.45GHzのマイクロ波を前記処理室101内に前記ラジアルラインスロットアンテナ106から供給し、処理室内に高密度のプラズマを生成して、シリコン酸化膜表面に6nmのシリコン窒化膜を形成する。

【0131】このようにしてON膜を9nm形成したところ、得られたON膜の膜厚は一様で、多結晶シリコンの面方位に対する依存性も見られず、極めて均一な膜が得られるのがわかった。

【0132】このようにして前記ON膜を形成した後、図17の工程において高電圧用及び低電圧用トランジスタ領域B、Cにから絶縁膜1306をパターニングにより除去し、次に高電圧用及び低電圧用トランジスタ領域B、C上に閾値電圧制御用のイオン注入を行う。さらに前記領域B、C上に形成された酸化膜1303を除去し、前記領域Bにはゲート酸化膜1307を5nmの厚さに形成し、その後、前記領域Cにゲート酸化膜1308を3nmの厚さに形成する。

【0133】その後、フィールド酸化膜1302を包含する全体構造上に第2の多結晶シリコン層1309及びシリサイド層1310を順次に形成し、さらに前記第2の多結晶シリコン層1309及びシリサイド層1310をパターニングして前記高電圧用トランジスタ領域Bおよび低電圧用トランジスタ領域Cにゲート電極1311Bおよび1311Cをそれぞれ形成する。さらに前記メモリセル領域Aに対応してゲート電極1311Aを形成する。

【0134】図17の工程の後、標準的な半導体工程に準拠して、ソース領域およびドレイン領域を形成し、層間絶縁膜およびコンタクトホールの形成や配線パターンの形成などを行って素子を完成させる。

【0135】本発明では、これらの絶縁膜1306A、1306Bは、その膜厚を従来の酸化膜や窒化膜の約半分に減少させても良好な電気的特性を維持する。すなわち、これらのシリコン酸化膜1306A及びシリコン窒化膜1306Bは薄膜化しても良好な電気的特性を有し、緻密で高品質である。なお本発明では前記シリコン

酸化膜1306A及びシリコン窒化膜1306Bは低温で形成されるのでゲート多結晶シリコンと酸化膜との界面でサーマルバジェット等が発生することではなく、良好な界面が得られている。

【0136】本発明のフラッシュメモリ素子は、情報の書き込み及び消去動作が低電圧で行え、基板電流の発生を抑制することができ、トンネル絶縁膜の劣化が抑えられる。このため、本発明のフラッシュメモリ素子を二次元配列して形成された不揮発性半導体メモリ装置は、高い歩留りで製造でき、安定した特性を示す。

【0137】本発明によるフラッシュメモリ素子は前記絶縁膜1306A、1306Bが優れた膜質を有することに対応してリーク電流が小さく、またリーク電流を増やすことなく膜厚を減少させることができるために、書き込みあるいは消去動作が5V程度の動作電圧で可能になる。その結果、フラッシュメモリ素子のメモリ保持時間が従来よりも2桁以上増大し、書き換え可能回数も約2桁以上増大する。

【0138】なお、絶縁膜1306の膜構成は上記ON構造に限ったものでなく、実施形態1と同様の酸化膜からなるO構造、実施形態2と同様の窒化膜からなるN構造、あるいは実施形態4と同様な酸窒化膜であってもよい。また、前記絶縁膜1306は、窒化膜および酸化膜からなるNO構造、酸化膜、窒化膜および酸化膜を順次積層したONO構造、窒化膜、酸化膜、窒化膜、酸化膜を順次積層したNONO構造などであってもよい。前記絶縁膜1306としていずれの構造を選ぶかは、周辺回路の高電圧トランジスタ及び低電圧トランジスタのゲート酸化膜との整合性や共用可能性などを考慮して、目的に応じて選択することができる。

(第7の実施形態) 図1の装置を用いた、Kr/O<sub>2</sub>マイクロ波励起高密度プラズマによるゲート酸化膜の形成、あるいはAr(またはKr)/NH<sub>3</sub>(またはN<sub>2</sub>/H<sub>2</sub>)マイクロ波励起高密度プラズマによるゲート窒化膜の形成は、従来のような高温工程を用いることができない金属層が下地シリコン内に存在するシリコン・オン・シンクレータ(金属基板SOI)ウエハ上の半導体集積回路装置の形成に適用可能である。特に、シリコンの膜厚が薄い完全空乏化動作を行うSOI構造において、本発明による終端水素除去の効果が顕著である。

【0139】図18は、金属基板SOI構造を有するMOSトランジスタの断面図を示す。

【0140】図18を参照するに、1701は、n<sup>+</sup>型あるいはp<sup>+</sup>型の低抵抗半導体層、1702は、NiSiなどのシリサイド層、1703は、TaN、TiNなどの導電性窒化物層、1704はCu等の金属層、1705はTa<sub>x</sub>N、Ti<sub>x</sub>Nなどの導電性窒化物層、1706はn<sup>+</sup>型あるいはp<sup>+</sup>型の低抵抗半導体層、1707は、AlN、Si<sub>3</sub>N<sub>4</sub>等の窒化物絶縁膜、1708はSiO<sub>2</sub>膜、1709は、SiO<sub>2</sub>層、BPSG層、もしくはそ

れらを組み合わせた絶縁膜層、1710はn<sup>+</sup>型ドレイン領域、1711は、n<sup>+</sup>型ソース領域、1712はp<sup>+</sup>型ドレイン領域、1713は、p<sup>+</sup>型ソース領域、1714、1715は<1111>方向に配向したシリコン半導体層、1716は本発明の実施形態1の手順によりKrプラズマ照射で表面終端水素が除去された後Kr/O<sub>2</sub>マイクロ波励起高密度プラズマで形成されたSiO<sub>2</sub>膜、1717および1718は、それぞれTa、Ti、Ta<sub>x</sub>N/Ta、Ti<sub>x</sub>N/Ti等で形成されるnMOSトランジスタおよびpMOSトランジスタのゲート電極、1719はnMOSトランジスタのソース電極、1720はnMOSトランジスタ及びpMOSトランジスタのドレイン電極である。1721はpMOSトランジスタのソース電極である。1722は基板表面電極である。

【0141】このようなTa<sub>x</sub>NやTi<sub>x</sub>Nで保護された、Cu層を含む基板では、Cuの拡散を押さえるために、熱処理温度は、約700°C以下でなければならない。n<sup>+</sup>型あるいはp<sup>+</sup>型のソースあるいはドレイン領域は、As<sup>+</sup>、AsF<sub>2</sub><sup>+</sup>あるいはBF<sub>2</sub><sup>+</sup>のイオン注入後、550°Cの熱処理で形成する。

【0142】図18のデバイス構造を有する半導体装置において、ゲート絶縁膜に熱酸化膜を用いた場合と、Krプラズマ照射で表面終端水素が除去された後Kr/O<sub>2</sub>マイクロ波励起高密度プラズマ処理で形成されたゲート絶縁膜を用いた場合でトランジスタのサブレッショールド特性の比較を行うと、ゲート絶縁膜を熱酸化により形成した場合にはサブルッショールド特性にはインクやリークが観察されるが、本発明によりゲート絶縁膜を形成した場合にはサブルッショールド特性は極めて良好である。

【0143】また、メサ型素子分離構造をもちいると、メサ素子分離構造の側壁部にはシリコン平面部とは別の面方位のシリコン表面が現れるが、Krを用いたプラズマ酸化によりゲート絶縁膜を形成することで、メサ素子分離側壁部の酸化も平面部と同様にほぼ均一に行うことができ、良好な電気的特性、高い信頼性を得ることができる。

【0144】また、第2の実施形態の手順により、Ar/NH<sub>3</sub>を用いて形成したシリコン窒化膜をゲート絶縁膜に使用した場合にも、非常に良好な電気的特性、高い信頼性を持った金属基板SOI集積回路装置を作成することができる。

【0145】本実施形態においても、シリコン窒化膜の厚さを3nm(シリコン酸化膜厚説算1.5nm)としても良好な電気的特性を得ることができ、3nmのシリコン酸化膜を使用したときよりもトランジスタの駆動能力を約2倍上げることができた。

(第8の実施形態) 図19は、液晶表示素子や有機エレクトロルミネッセンス素子などが形成されるガラス基板

やプラスチック基板などの大型長方形基板上に形成された多結晶シリコンやアモルファスシリコン層に対して酸化処理、窒化処理、あるいは酸窒化処理を行うための、本発明第8の実施形態による製造装置の一例を示す概念図を示す。

【0146】図19を参照するに、真空容器（処理室）1807内を減圧状態にし、次に前記処理室1807内に設けられたシャワープレート1801からKr/O<sub>2</sub>混合ガスを導入し、さらに前記処理室1807内をネジ溝ポンプ1802によって排気することにより、前記処理室1807内の圧力を133Pa(1Torr)に設定する。さらにガラス基板1803を、加熱機構を持つ試料台1804に置き、ガラス基板の温度を300°Cに設定する。

【0147】前記処理室1807には多数の方形導波管1805が設けられており、次に前記多数の方形導波管1805の各々のスリット部から、誘電体板1806を通して前記処理室内1807内にマイクロ波を導入し、前記処理室1807内に高密度のプラズマを生成する。その際、前記処理室1807中に設けられたシャワープレート1801は導波管から放射されたマイクロ波を、左右に表面波として伝搬させる導波路の役割をも果たす。

【0148】図20は、図19の装置を使用して本発明のゲート酸化膜またはゲート窒化膜を作成し、液晶表示素子、有機EL発光素子等の駆動、あるいは処理回路用の多結晶シリコン薄膜トランジスタ(TFT)を形成した例を示す。

【0149】まず、シリコン酸化膜を形成し使用した例を述べる。

【0150】図20を参照するに、1901はガラス基板、1902はSi<sub>3</sub>N<sub>4</sub>膜、1903は(111)面に主に配向した多結晶シリコンnMOSのチャネル層、1905、1906はそれぞれ多結晶シリコンのnMOSのソース領域、ドレイン領域、1904は(111)面に主に配向した多結晶シリコンpMOSのチャネル層、1907、1908はそれぞれ多結晶シリコンpMOSのソース領域、ドレイン領域である。1910は多結晶シリコンnMOSのゲート電極、1911は多結晶シリコンpMOSのゲート電極、1912はSiO<sub>2</sub>、BSG、BPSG等の絶縁膜、1913、1914は多結晶シリコンnMOSのソース電極（同時に多結晶シリコンp-MOSのドレイン電極）、1915は多結晶シリコンp-MOSのソース電極である。

【0151】絶縁膜上に形成される多結晶シリコンは絶縁膜に対して垂直方向に(111)面方位を向くときが安定であり、かつ緻密で結晶性が良く高品質なものとなる。本実施形態では、1909は図19の装置を使用して実施形態1と同様の手順で作成した厚さ0.2μmの本発明のシリコン酸化膜層であり、(111)面向い

た多結晶シリコン上に400°Cで厚さ3nmで形成している。

【0152】本実施形態によれば、トランジスタ間の素子分離領域の鋭い角部においても酸化膜は薄くならず、平坦部、エッジ部ともに均一な膜厚のシリコン酸化膜が多結晶シリコン上に形成されるのが確認された。ソース、ドレイン領域を形成するためのイオン注入はゲート酸化膜を通さずに行い、400°Cで電気的活性化して形成した。この結果、全工程を400°C以下の温度で実行でき、ガラス基板上にトランジスタを形成できた。このトランジスタの移動度は、電子で約300cm<sup>2</sup>/Vsec以上、正孔で約150cm<sup>2</sup>/Vsec以上、ソース、ドレイン耐圧及びゲート耐圧は12V以上あった。チャネル長1.5-2.0nm程度のトランジスタでは、100MHzを越える高速動作が可能となった。シリコン酸化膜のリーク特性、多結晶シリコン/酸化膜の界面準位特性も良好であった。

【0153】本実施形態のトランジスタを使用することで液晶表示素子、有機EL発光素子は大画面、低価格、高速動作、高信頼性を持つことができる。

【0154】本実施形態は本発明のゲート酸化膜またはゲート窒化膜を多結晶シリコンに適応した実施形態であるが、液晶表示素子等に使用されるアモルファスシリコン薄膜トランジスタ(TFT)、特にスタガー型の薄膜トランジスタ(TFT)のゲート酸化膜またはゲート窒化膜にも同様に適用できる。

(第9の実施形態) 次に、金属層を有するSOI素子、多結晶シリコン素子、アモルファスシリコン素子を積層した3次元積層LSIの実施形態を説明する。

【0155】図21は本発明の3次元LSIの断面構造の概念図である。

【0156】図21において、2001は第1のSOI及び配線層、2002は第2のSOI及び配線層、2003は第1の多結晶シリコン素子及び配線層、2004は第2の多結晶シリコン素子及び配線層、2005はアモルファス半導体素子及び機能材料素子及び配線層である。

【0157】前記第1のSOI及び配線層2001、および前記第2のSOI及び配線層2002には、実施形態7で説明したSOIトランジスタを用いてデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAM部、電源部、インターフェース回路部などが作成される。

【0158】前記第1の多結晶シリコン素子及び配線層2003には、先の実施形態6、8で説明した多結晶シリコントランジスタ、フラッシュメモリなどを用いて並列デジタル演算部、機能ブロック間リピータ部、記憶素子部などが作成される。

【0159】一方前記第2の多結晶シリコン素子及び配線層2004には前記実施形態8で説明した多結晶シリ

コントラジスタを用いてアンプ、A/D変換器などの並列アナログ演算部が作成される。アモルファス半導体素子及び機能材料素子及び配線層2005には光センサ、音センサ、触覚センサ、電波送信受信部などが作成される。

【0160】前記アモルファス半導体素子及び機能材料素子及び配線層2005内に設けられた光センサ、音センサ、触覚センサ、電波送信受信部の信号は、前記第2の多結晶シリコン素子及び配線層2004に設けられた多結晶シリコントラジスタを用いたアンプ、A/D変換などの並列アナログ演算部で処理され、さらに前記第1の多結晶シリコン素子及び配線層2003あるいは前記第2の多結晶シリコン素子及び配線層2004に設けられた多結晶シリコントラジスタ、フラッシュメモリを用いた並列デジタル演算部、記憶素子部にその処理が引き継がれ、さらに前記第1のSOI及び配線層2001あるいは前記第2のSOI及び配線層2002に設けられたSOIトランジスタを用いたデジタル演算処理部、高精度高速アナログ部、シンクロナスDRAMで処理される。

【0161】また、前記第1の多結晶シリコン素子及び配線層2003に設けられた機能ブロック間リピータ部は、複数設けても大きなチップ面積を占有することなくLSI全体の信号同期を調整することができる。

【0162】こうした3次元LSIが作成可能になったのは、上記の実施形態に詳細に説明した本発明の技術によることは明らかである。

### 【0163】

【発明の効果】本発明によれば、シリコン表面の平坦性を悪化させることなく、真空を破らない連続的な工程で、400°C程度以下の低温でも完全に表面終端水素を除去することが可能になり、従来の熱酸化工程やマイクロ波プラズマ工程で成膜したシリコン酸化膜より優れた特性、信頼性を有するシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜を約500°C程度以下の低温であらゆる面方位のシリコンに形成でき、信頼性の高い、高性能な微細トランジスタ集積回路を実現できるようになった。

【0164】また、本発明によれば、シャロートレンチアイソレーションなどの素子分離側壁部の角部分や凹凸のある表面形状をもつシリコン表面にもリーク電流や耐圧などの特性が良好な薄い高品質なシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜を形成することが可能となり、素子分離幅を狭くした高密度な素子集積化、立体的構造を持つ高密度な素子集積化が可能となった。

【0165】さらに、本発明のゲート絶縁膜を使用することで、書き換え回数が圧倒的に増加可能なフラッシュメモリ素子などを実現することができた。

【0166】さらに、本発明によれば、絶縁膜上に形成される主として(111)面に配向する多結晶シリコン

にも高品質なシリコンゲート酸化膜、シリコンゲート窒化膜を形成することが可能となり、高駆動能力を有する多結晶シリコントラジスタを使用した表示装置、さらにはトランジスタ、機能素子を複数積層した3次元集積回路素子を実現することができるようになり、その技術的波及効果は大きい。

### 【図面の簡単な説明】

【図1】ラジアルラインスロットアンテナを用いたプラズマ装置の概念図である。

【図2】赤外分光器で測定したシリコン表面終端水素とシリコンの結合のKrプラズマ暴露依存性を示す特性図である。

【図3】シリコン酸化膜厚の処理室ガス圧力依存性を示す特性図である。

【図4】シリコン酸化膜中のKr密度の深さ方向分布を示す特性図である。

【図5】シリコン酸化膜の電流電圧特性を示す特性図である。

【図6】シリコン酸化膜およびシリコン酸窒化膜のリーク電流特性と膜厚の関係を示す図である。

【図7】シリコン窒化膜厚の処理室内ガス圧力依存性を示す特性図である。

【図8】シリコン酸窒化膜形成時の原子状酸素と原子状水素の発光強度を示す特性図である。

【図9】シリコン酸窒化膜の元素分布を示す特性図である。

【図10】シリコン酸窒化膜の電流電圧特性を示す特性図である。

【図11】シャロートレンチアイソレーションの概念的断面図である。

【図12】凹凸のあるシリコン表面に形成した立体的トランジスタの断面構造図である。

【図13】フラッシュメモリ素子の断面構造の概略図である。

【図14】本発明のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図である。

【図15】本発明のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図である。

【図16】本発明のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図である。

【図17】本発明のフラッシュメモリ素子の形成方法を段階的に説明する概略断面構造図である。

【図18】金属基板SOI上に作製されたMOSトランジスタの断面構造の概略図である。

【図19】ガラス基板やプラスチック基板などに適応されるプラズマ装置の概念図である。

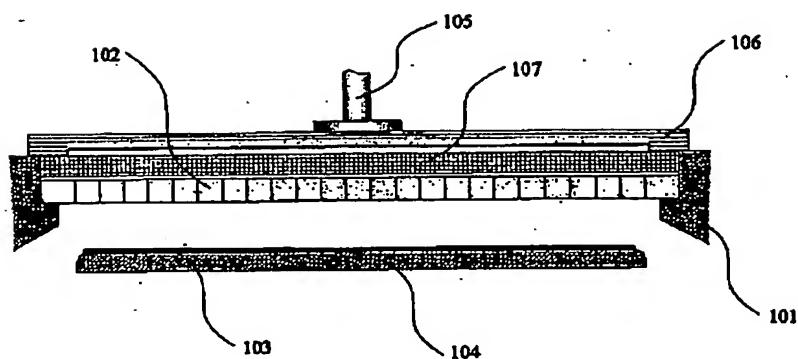
【図20】絶縁膜状の多結晶シリコントラジスタの断面構造の概略図である。

【図21】3次元LSIの断面構造の概念図である。

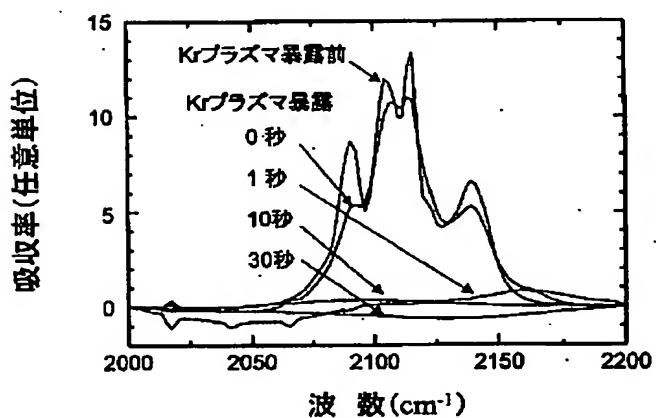
### 【符号の説明】

101	処理室	合わせた絶縁膜層
102	シャワープレート	1710 n <sup>+</sup> 型ドレイン領域
103	シリコンウェーハ	1711 n <sup>+</sup> 型ソース領域
104	加熱機構を持つ試料台	1712 p <sup>+</sup> 型ドレイン領域
105	同軸導波管	1713 p <sup>+</sup> 型ソース領域
106	ラジアルラインスロットアンテナ	1714, 1315 (111) 面に配向したシリコン半導体層
107	マイクロ波導入窓	1716 SiO <sub>2</sub> 膜
1001	ゲート絶縁膜	1717, 1318 nMOSゲート電極ならびに、pMOSのゲート電極
1002	シリコン酸化膜	1719 nMOSソース電極
1003	シリコン基板	1720 nMOS及びpMOSのドレイン電極
1004	従来のシャロートレンチアイソレーションの角部	1721 MOSのソース電極
1005	本発明のシャロートレンチアイソレーションの角部	1722 基板表面電極
1201	シリコン基板	1801 シャワープレート
1202	トンネル酸化膜	1802 ネジ溝ポンプ
1203	多結晶シリコンゲート電極	1803 ガラス基板
1204	シリコン窒化膜	1804 加熱機構を持つ試料台
1205	シリコン酸化膜	1805 方形導波管
1206	第2多結晶シリコンゲート電極	1806 マイクロ波導入窓
1301	シリコン基板	1807 真空容器
1302	フィールド酸化膜	1901 ガラス基板
1303	シリコン酸化膜	1902 SiO <sub>2</sub> 膜
1304	シリコン酸化膜	1903 多結晶シリコンnMOSのチャネル層
1305	多結晶シリコン電極	1904 多結晶シリコンpMOSのチャネル層
1306	ON膜	1905 多結晶シリコンnMOSのソース領域
1307	シリコン酸化膜	1906 多結晶シリコンnMOSのドレイン領域
1308	シリコン酸化膜	1907 多結晶シリコンpMOSのソース領域
1309	多結晶シリコン電極	1908 多結晶シリコンpMOSのソース領域
1310	シリサイド電極	1909 SiO <sub>2</sub> 膜層
1311A	フラッシュメモリセル	1910 多結晶シリコンnMOSのゲート電極
1311B	高電圧用トランジスタ電極	1911 多結晶シリコンpMOSのゲート電極
1311C	低電圧用トランジスタ電極	1912 SiO <sub>2</sub> , BPSG, BPSG等の絶縁膜
1701	n <sup>+</sup> 型、p <sup>+</sup> 型低抵抗半導体	1913 多結晶シリコンnMOSのソース電極
1702	シリサイド層	1914 多結晶シリコンnMOSのドレイン電極
1703	導電性窒化物層	1915 多結晶シリコンpMOSのソース電極
1704	金属層	2001 第1のSOI及び配線層
1705	導電性窒化物層	2002 第2のSOI及び配線層
1706	n <sup>+</sup> 型、p <sup>+</sup> 型低抵抗半導体層	2003 第1の多結晶シリコン素子及び配線層
1707	窒化物絶縁膜	2004 第2の多結晶シリコン素子及び配線層
1708	SiO <sub>2</sub> 膜	2005 アモルファス半導体素子及び機能材料素子及び配線層
1709	SiO <sub>2</sub> 膜、BPSGもしくはそれらを組み	

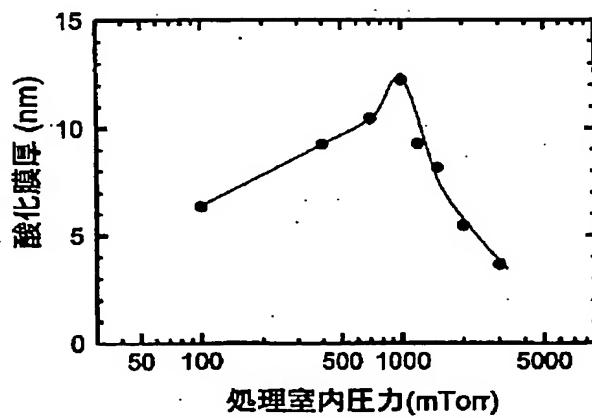
【図1】



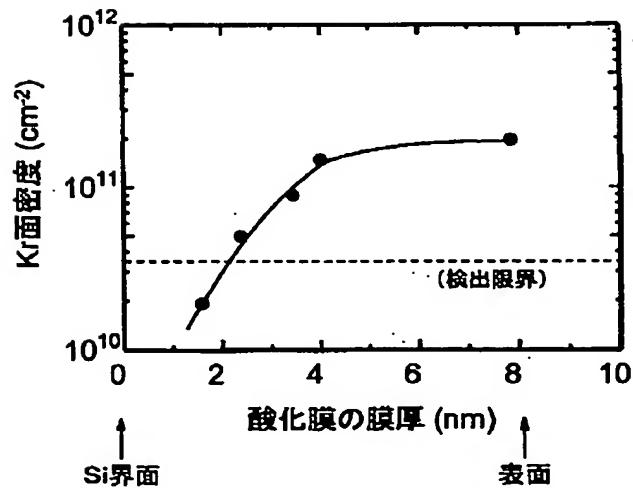
【図2】



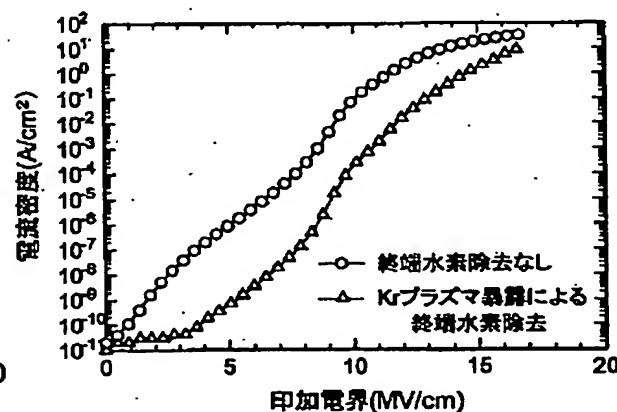
【図3】



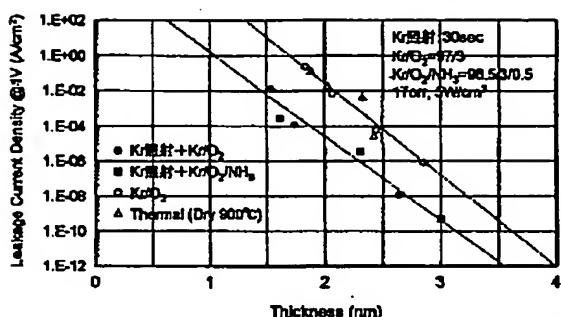
【図4】



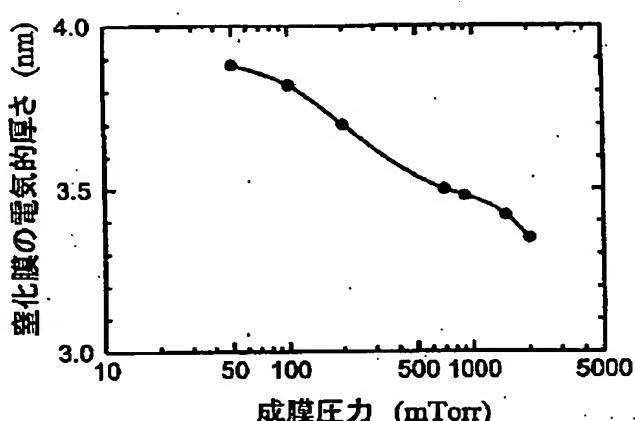
【図5】



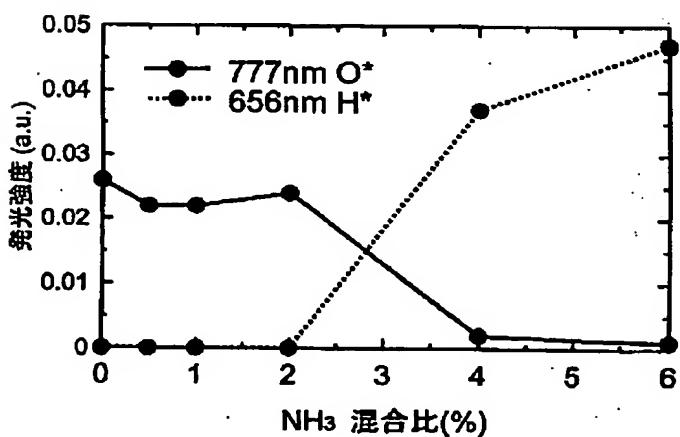
【図6】



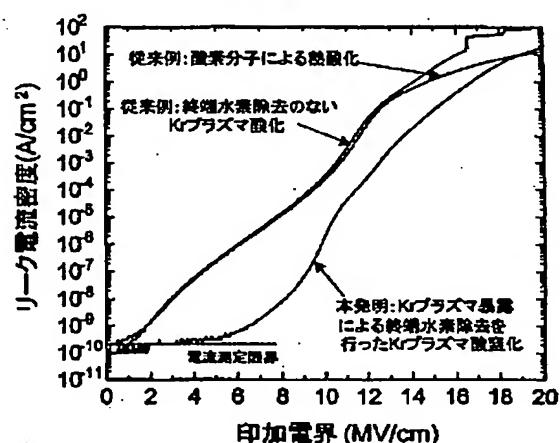
【図7】



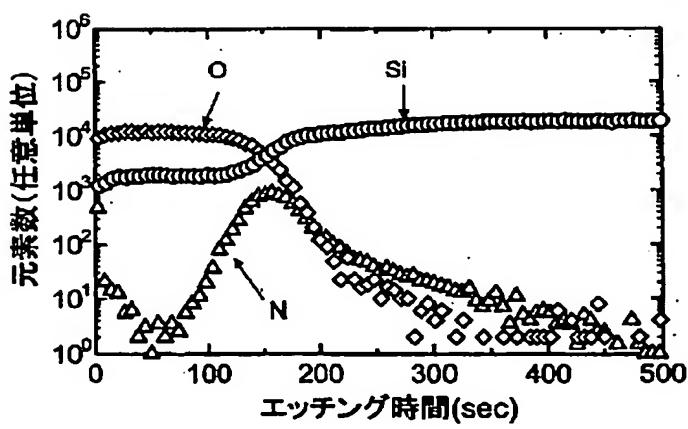
【図8】



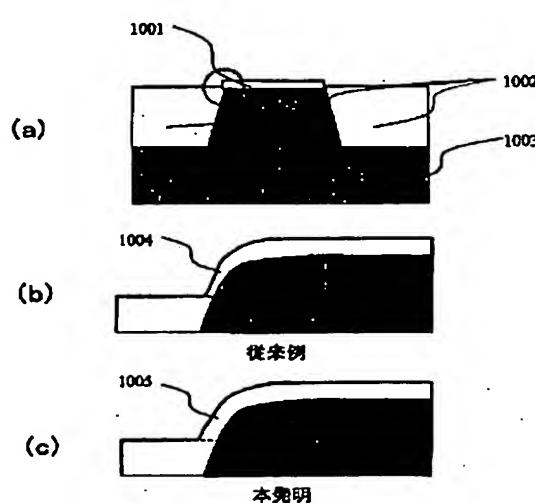
【図10】



【図9】

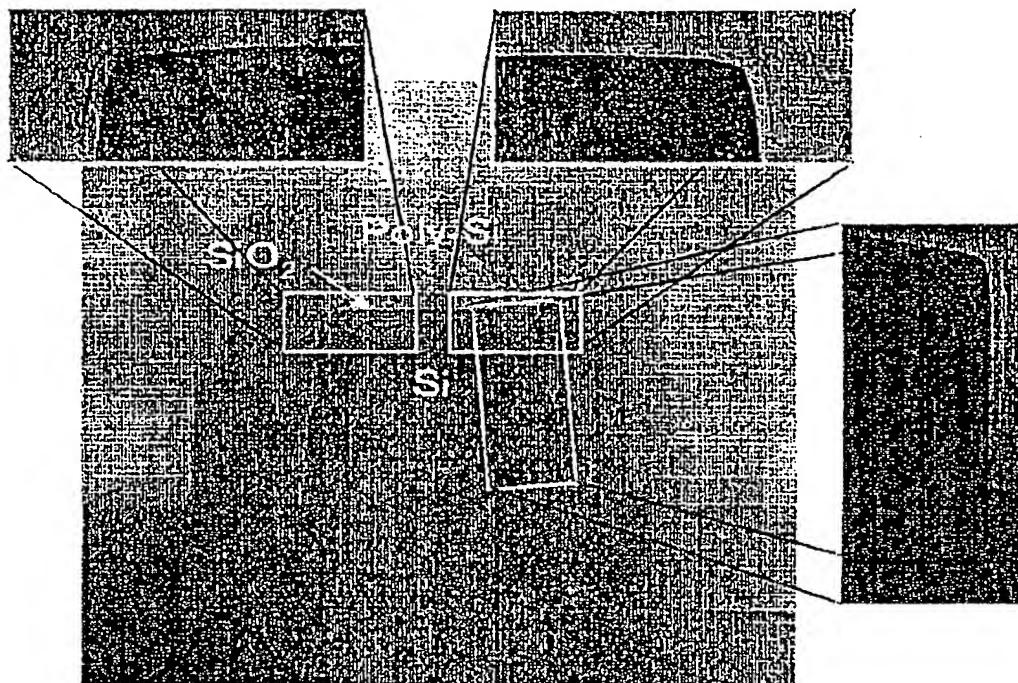


【図11】



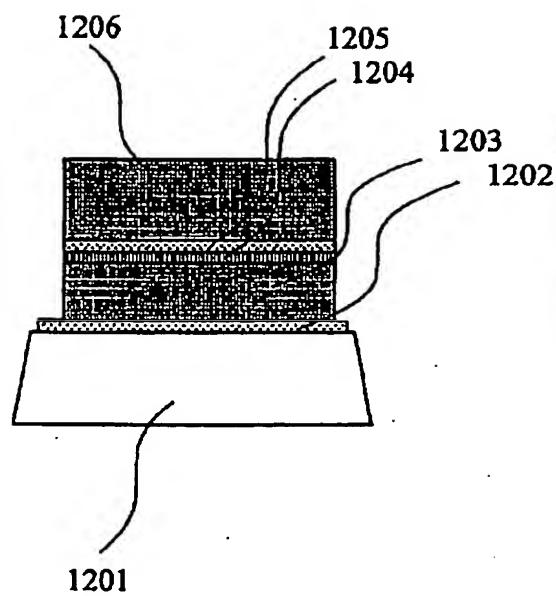
BEST AVAILABLE COPY

【図12】

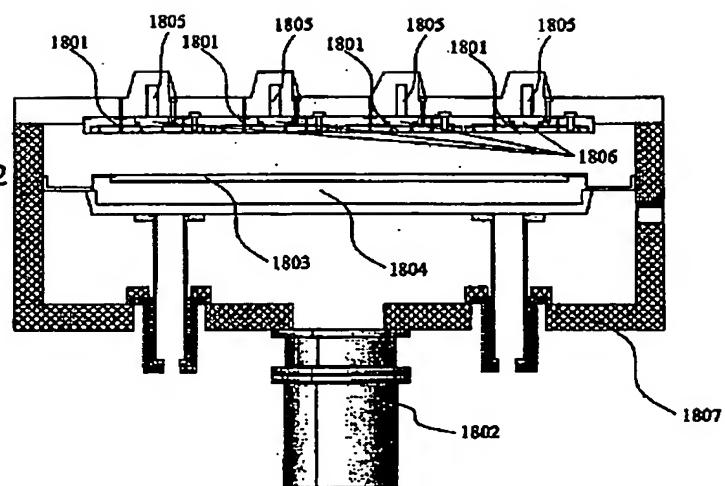


BEST AVAILABLE COPY

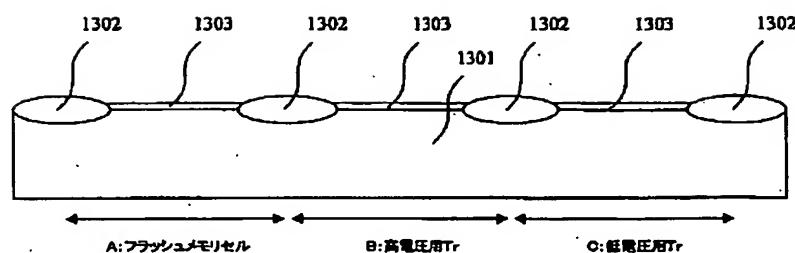
【図13】



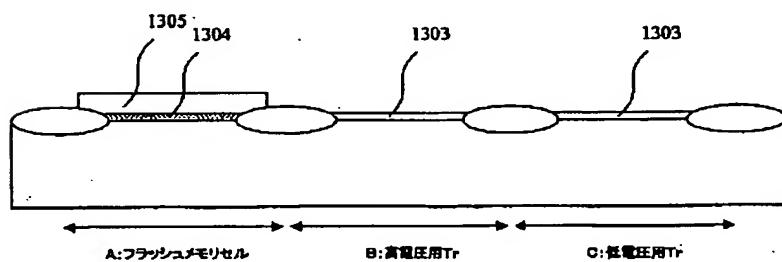
【図19】



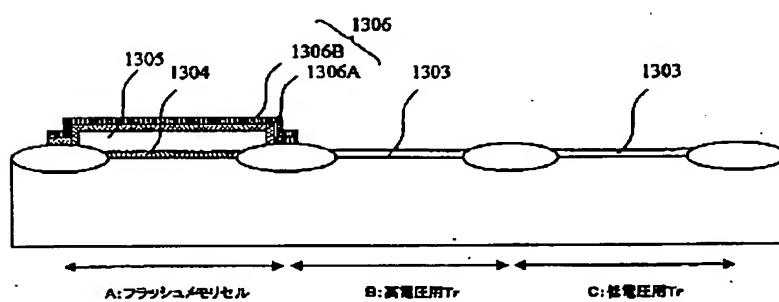
【図14】



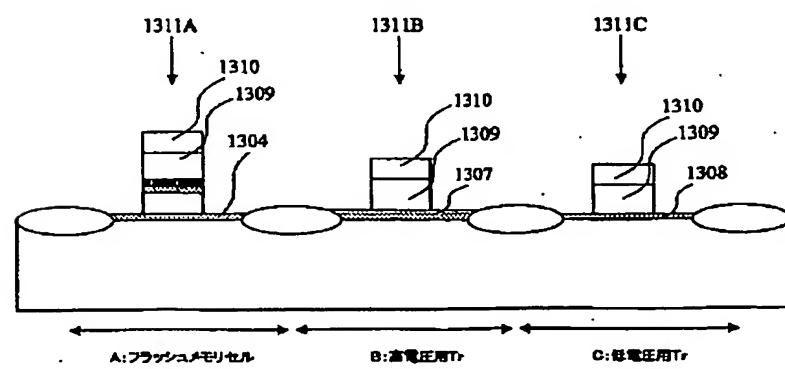
【図15】



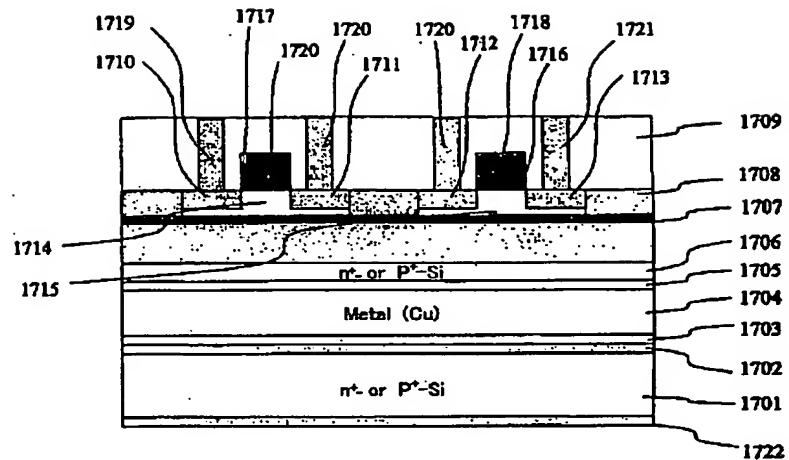
【図16】



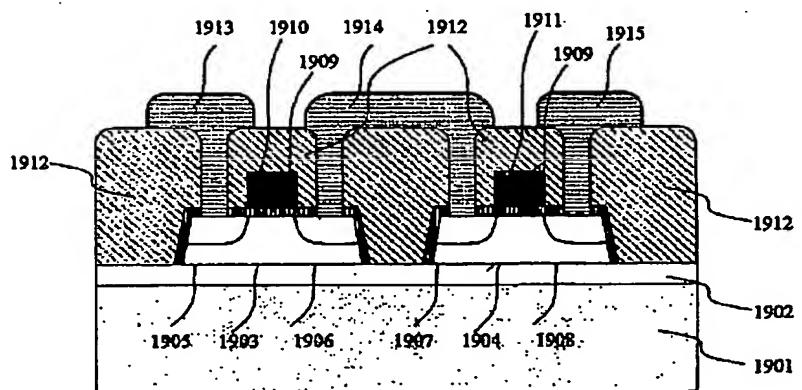
【図17】



【図18】

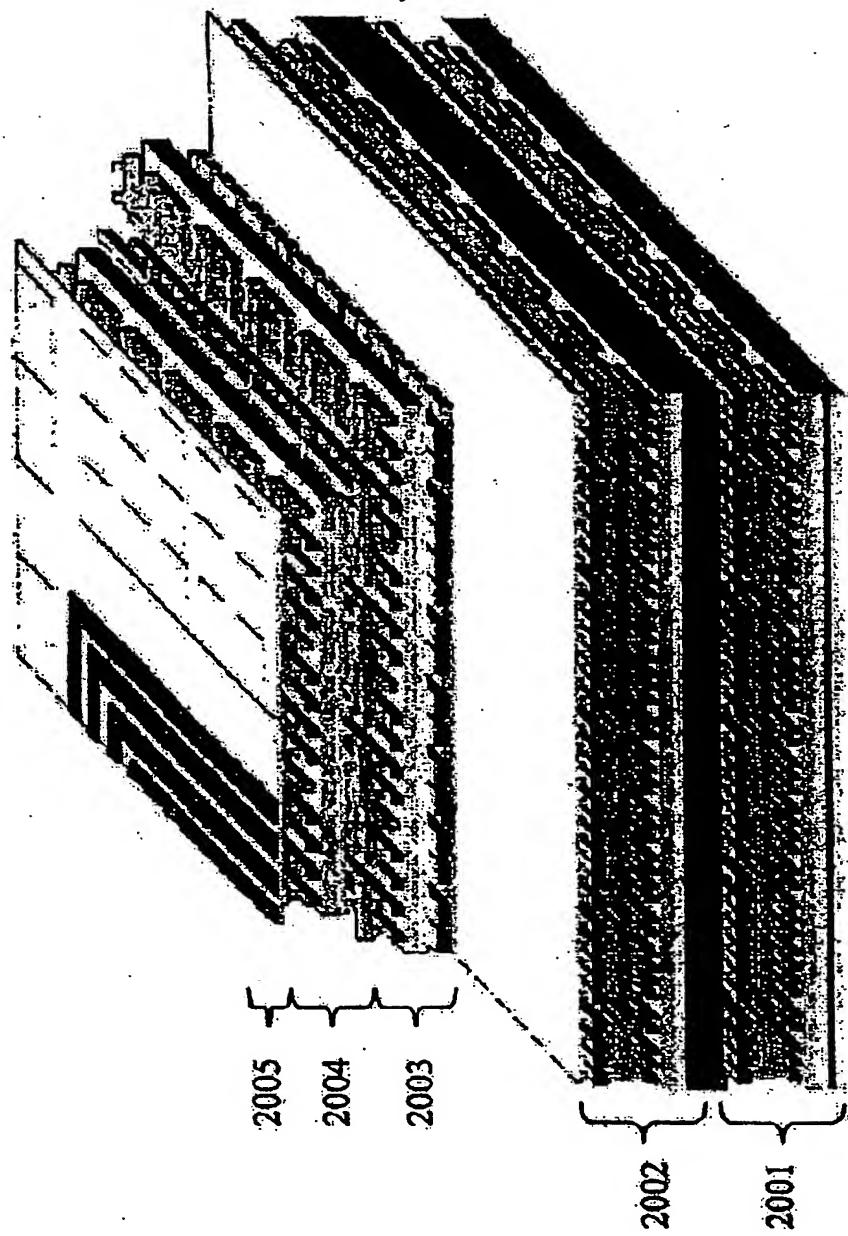


【図20】



BEST AVAILABLE COPY

【図21】



## フロントページの続き

(51) Int. Cl. 7

H O 1 L 27/088  
21/8247  
27/115  
29/78  
29/788

識別記号

F I  
H O 1 L 27/10  
29/78

テ-マコード (参考)

4 3 4	5 F 1 1 0
3 0 1 G	5 F 1 4 0
3 7 1	
6 1 7 V	
6 1 8 A	

29/792

29/786

21/336

(72) 発明者 平山 昌樹  
宮城県仙台市青葉区荒巻字青葉（無番地）  
東北大學内

(72) 発明者 白井 泰雪  
宮城県仙台市青葉区荒巻字青葉（無番地）  
東北大學内

Fターミ(参考) 5F032 AA34 AA44 AA45 DA04 DA33  
DA53  
5F048 AA05 AA07 AB01 AC01 BA01  
BB11 BB16 BB17 BG12  
5F058 BA11 BA20 BC02 BC08 BC11  
BD04 BD10 BE03 BE10 BF72  
BF73 BF74 BJ06  
5F083 EP02 EP23 EP54 EP55 EP56  
EP57 GA06 GA21 GA29 JA04  
PR21 PR43 PR53 ZA05 ZA07  
ZA08  
5F101 BA29 BA36 BB05 BH02 BH05  
BH21  
5F110 AA01 AA06 AA15 BB01 BB08  
BB09 BB11 CC02 CC07 DD01  
DD02 DD05 DD13 DD14 EE09  
FF02 FF03 FF09 FF22 FF26  
FF30 FF35 GG02 GG13 GG15  
GG17 GG28 HJ13 HJ23 NN02  
NN22 NN23 NN26 NN65 QQ09  
5F140 AA19 AA24 BA01 BD01 BD05  
BD07 BD09 BD10 BD17 BE01  
BE02 BE06 BE07 BE08